

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-223297

(P2001-223297A)

(43)公開日 平成13年 8月17日 (2001.8.17)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 23/12		H 0 1 L 23/28	J 4 M 1 0 9
23/28		23/12	L
23/52			K
// H 0 1 L 25/065		23/52	C
25/07		25/08	Z
審査請求 未請求 請求項の数11 O L (全 27 頁) 最終頁に続く			

(21)出願番号 特願2000-68986(P2000-68986)

(22)出願日 平成12年 3月13日 (2000. 3. 13)

(31)優先権主張番号 特願平11-340816

(32)優先日 平成11年11月30日 (1999. 11. 30)

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 谷口 文彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 居川 幸平

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

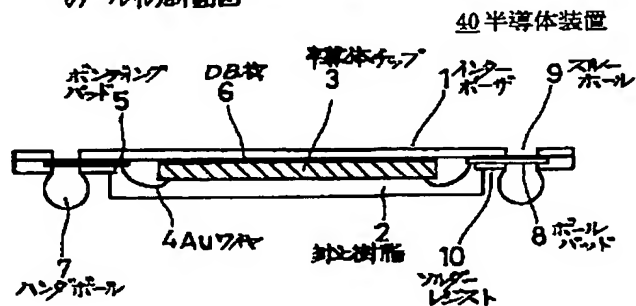
(54)【発明の名称】 半導体装置及び半導体装置の製造方法及び半導体装置の積層方法

(57)【要約】

【課題】 本発明は複数の半導体装置を積層して三次元構造として実装密度の向上を図ることのできる半導体装置及び半導体装置の製造方法を提供することを目的とする。

【解決手段】 インターポーザ1の片面に半導体チップ3を搭載し、半導体チップ3の電極とボンディングパッド5とを接続する。ボンディングパッド5に接続されたボールパッド8にハンダボール7を設ける。ボールパッド8のハンダボールの反対側のインターポーザ1にスルーホール9を設ける。ハンダボールの高さを半導体チップ3の封止樹脂2の高さよりも高くする。

本発明の第1の実施の形態による半導体装置の一例の断面図



(2)

1

【特許請求の範囲】

【請求項1】 半導体素子と、
 該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、
 該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電気的に接続された電極パッドと、
 該電極パッド上に設けられた突起電極と、
 前記再配線基板の前記第2の面から前記電極パッドに至る貫通孔とよりなり、
 前記突起電極の前記第1の面からの高さを、前記半導体素子の前記第2の面からの封止高さより高くしたことを特徴とする半導体装置。

【請求項2】 半導体素子と、
 該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、
 該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電気的に接続された電極パッドと、
 前記再配線基板の前記第2の面から該電極パッドに至る貫通孔と、
 該貫通孔側から前記電極パッドに設けられた突起電極とよりなり、
 前記突起電極の前記第2の面からの高さを、前記半導体素子の前記電極パッドからの封止高さより高くしたことを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置であって、
 前記半導体素子に他の半導体素子を積層固定し、一体的に封止したことを特徴とする半導体装置。

【請求項4】 第1及び第2の半導体素子と、
 該第1の半導体素子が搭載された第1の面と、該第2の半導体素子が搭載された第2の面とを有する再配線基板と、
 該再配線基板の第1の面上で、前記第1の半導体素子の周囲に配置され、前記第1の半導体素子と電気的に接続された第1の電極パッドと、
 前記再配線基板の第2の面上で、前記第2の半導体素子の周囲に配置され、前記第2の半導体素子と電気的に接続された第2の電極パッドと、
 前記第1の電極パッドと前記第2の電極パッドとを電気的に接続するVIAホールと、
 前記第1の電極パッドと前記第2の電極パッドのいずれか一方に設けられた突起電極とよりなり、
 前記突起電極の高さを、前記第1の半導体素子の封止高さより高くしたことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置であって、
 前記突起電極は、前記第1の半導体素子の封止高さと同記第2の半導体素子の封止高さとの総和より高くしたことを特徴とする半導体装置。

2

【請求項6】 請求項4又は5記載の半導体装置であって、
 前記第1の半導体素子及び前記第2の半導体素子の少なくともいずれか一方に第3の半導体素子を積層固定し、一体的に封止したことを特徴とする半導体装置。

【請求項7】 請求項4又は5記載の半導体装置であって、
 前記第1及び第2の半導体素子はワイヤボンディングにより前記第1及び第2の電極パッドに接続され、前記第1の電極パッド上でのワイヤの接続位置は、前記第2の電極パッド上でのワイヤの接続位置からずれていることを特徴とする半導体装置。

【請求項8】 請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置であって、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なることを特徴とする半導体装置。

【請求項9】 再配線基板の第1の面に第1の半導体素子が搭載され、該第1の面の反対側の第2の面に第2の半導体素子が搭載された半導体装置の製造方法であって、

前記再配線基板の第1の面に前記第1の半導体素子を搭載し、
 前記再配線基板を裏返し、前記第1の半導体素子が収容される凹部を有し且つ前記第1の半導体素子を該凹部内で支持する緩衝部材を有する治具上に前記再配線基板を載置し、
 前記再配線基板の第2の面に前記第2の半導体素子を搭載する各段階を有することを特徴とする半導体装置の製造方法。

【請求項10】 再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するよう配設された電極パッドとを有する複数の半導体装置を、前記突起電極と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、
 前記半導体装置を前記突起電極が積層方向に対し上側となるよう配置すると共に、前記突起電極の配設位置と対応する位置にのみフラックスが塗布されるフラックス塗布部を有した転写ヘッドを用い、前記突起電極上に前記フラックスを転写するフラックス配設工程を有することを特徴とする半導体装置の積層方法。

【請求項11】 再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するよう配設された電極パッドとを有する複数の半導体装置を、前記突起電極

(3)

3

と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、前記突起電極の配設位置に対応した位置にのみフラックスが装填されたフラックス装填部を有するフラックス供給部材に、前記突起電極が積層方向に対し下側となる状態で前記半導体装置を搬送し、前記突起電極を前記フラックス装填部に浸漬することにより前記突起電極上に前記フラックスを配設するフラックス配設工程を有することを特徴とする半導体装置の積層方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及び半導体装置の製造方法に係り、特に、複数の半導体装置を積層して三次元構造として実装密度の向上を図るのに好適な半導体装置及び半導体装置の製造方法に関する。

【0002】電子機器の小型化、軽量化、薄型化に伴い、電子機器に使用される半導体装置にも小型化、薄型化が要求されている。このような要求に対処すべく、半導体装置のパッケージは、4方向に端子がガルウィング状に延出した表面実装用のQFPから、パッケージの底面に外部接続端子をエリアアレイ状に配置したBGA（ボールグリッドアレイ）型パッケージあるいはCSP（チップサイズパッケージ）へと移行してきている。

【0003】このような半導体パッケージにおいて、半導体チップを再配線基板（インターポーザ）に実装し、インターポーザにより半導体チップの周囲に外部接続用端子を配置したいわゆるファンアウト型のパッケージが多く使用されている。

【0004】

【従来の技術】図1は従来のファンアウト型の半導体装置の断面図である。図1において、半導体チップ3はポリイミド基板又はガラスエポキシ基板よりなるインターポーザ1に搭載され、封止樹脂2により封止されている。半導体チップ3はフェイスアップの状態ではDB材（ボンディング材）6によりインターポーザ1に固定されている。インターポーザ1の上面にはボンディングパッド5及びボールパッド8が形成されており、それぞれ配線パターンにより接続されている。

【0005】半導体チップ3の電極とボンディングパッド5とはAuワイヤ4により接続されている。また、インターポーザ1の半導体チップ3が搭載された面は、半導体チップ3、Auワイヤ4、ボンディングパッド5等を保護するためにエポキシ系樹脂等よりなる封止樹脂2により封止されている。インターポーザ1のボールパッド8及びボンディングパッド5に対応する位置には、その下面側からスルーホール（VIAホール）9が設けられ、ボールパッド8及びボンディングパッド5にハンダボール7が設けられている。したがって、半導体チップ3はインターポーザ1を介して外部接続端子であるハンダボール7に電気的に接続されており、ハンダボール7

4

はインターポーザ1の下面側に突出して設けられている。

【0006】図2は従来のフリップチップ実装型のCSP（チップサイズパッケージ）の断面図である。図2において、図1に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0007】図2において、半導体チップ3はフェイスダウンの状態ではインターポーザ1にフリップチップ実装されている。すなわち、半導体チップ3は接続用パンプ12を有しており、接続用パンプ12がボンディングパッド5に接続されている。半導体チップ3とインターポーザ1の間にはアンダーフィル材11が充填され、半導体チップ3はインターポーザ1に固定されている。図1に示した半導体装置と同様に、インターポーザ1にはスルーホール（VIAホール）9が設けられ、ハンダボール7がインターポーザ1の下面側に突出して設けられている。

【0008】

【発明が解決しようとする課題】上述の半導体パッケージでは、半導体チップを含めたパッケージの実装面積を縮小することにより、パッケージのサイズはほとんど半導体チップサイズまで縮小されている。したがって、パッケージ構造の二次元的な縮小はほぼ限界に達しているものと考えられ、今後は半導体装置の小型化を三次元的に考えていくことが必要となってきた。すなわち、半導体装置の実装面積ばかりでなく、実装体積をいかに小さくするかといったことが重要となってきた。

【0009】本発明は上述の課題に鑑みなされたものであり、半導体装置パッケージを簡単な構造により積層して一体化することにより半導体装置を三次元的に実装可能とした半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上述の目的を達成するために、請求項1記載の発明による半導体装置は、半導体素子と、該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電気的に接続された電極パッドと、該電極パッド上に設けられた突起電極と、前記再配線基板の前記第2の面から前記電極パッドに至る貫通孔とよりなり、前記突起電極の前記第1の面からの高さを、前記半導体素子の前記第2の面からの封止高さより高くした構成とする。

【0011】請求項2記載の発明による半導体装置は、半導体素子と、該半導体素子が搭載される第1の面と、該第1の面の反対側の第2の面とを有する再配線基板と、該再配線基板の第1の面上で、前記半導体素子の周囲に配置され、前記半導体素子と電気的に接続された電極パッドと、前記再配線基板の前記第2の面から該電極

(4)

5

パッドに至る貫通孔と、該貫通孔側から前記電極パッドに設けられた突起電極とよりなり、前記突起電極の前記第2の面からの高さを、前記半導体素子の前記電極パッドからの封止高さより高くした構成とする。

【0012】請求項3記載の発明は、請求項1又は2記載の半導体装置であって、前記半導体素子に他の半導体素子を積層固定し、一体的に封止した構成とする。

【0013】請求項4記載の発明は、第1及び第2の半導体素子と、該第1の半導体素子が搭載された第1の面と、該第2の半導体素子が搭載された第2の面とを有する再配線基板と、該再配線基板の第1の面上で、前記第1の半導体素子の周囲に配置され、前記第1の半導体素子と電気的に接続された第1の電極パッドと、前記再配線基板の第2の面上で、前記第2の半導体素子の周囲に配置され、前記第2の半導体素子と電気的に接続された第2の電極パッドと、前記第1の電極パッドと前記第2の電極パッドとを電気的に接続するVIAホールと、前記第1の電極パッドと前記第2の電極パッドのいずれか一方に設けられた突起電極とよりなり、前記突起電極の高さを、前記第1の半導体素子の封止高さより高くした構成とする。

【0014】請求項5記載の発明は、請求項4記載の半導体装置であって、前記突起電極は、前記第1の半導体素子の封止高さと同様に前記第2の半導体素子の封止高さとの総和より高くした構成とする。

【0015】請求項6記載の発明は、請求項4又は5記載の半導体装置であって、前記第1の半導体素子及び前記第2の半導体素子の少なくともいずれか一方に第3の半導体素子を積層固定し、一体的に封止した構成とする。

【0016】請求項7記載の発明は、請求項4又は5記載の半導体装置であって、前記第1及び第2の半導体素子はワイヤボンディングにより前記第1及び第2の電極パッドに接続され、前記第1の電極パッド上でのワイヤの接続位置は、前記第2の電極パッド上でのワイヤの接続位置からずれている構成とする。

【0017】請求項8記載の発明は、請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置であって、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なる構成とする。

【0018】請求項9記載の発明は、再配線基板の第1の面に第1の半導体素子が搭載され、該第1の面の反対側の第2の面に第2の半導体素子が搭載された半導体装置の製造方法であって、前記再配線基板の第1の面に前記第1の半導体素子を搭載し、前記再配線基板を裏返し、前記第1の半導体素子が収容される凹部を有し且つ前記第1の半導体素子を該凹部内で支持する緩衝部材を有する治具上に前記再配線基板を載置し、前記再配線基板の第2の面に前記第2の半導体素子を搭載する各段階

6

を有する構成とする。

【0019】請求項10記載の発明は、再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するように配設された電極パッドとを有する複数の半導体装置を、前記突起電極と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、前記半導体装置を前記突起電極が積層方向に対し上側となるよう配置すると共に、前記突起電極の配設位置と対応する位置にのみフラックスが塗布されるフラックス塗布部を有した転写ヘッドを用い、前記突起電極上に前記フラックスを転写するフラックス配設工程を有する構成とする。

【0020】請求項11記載の発明は、再配線基板と、該再配線基板の中央に搭載されると共にパッケージに保護された半導体素子と、前記再配線基板の該半導体素子の外周位置に配設された突起電極と、前記再配線基板の前記突起電極配設面と反対側面に前記突起電極と対向するように配設された電極パッドとを有する複数の半導体装置を、前記突起電極と前記電極パッドとを接合することにより積層する半導体装置の積層方法において、前記突起電極の配設位置に対応した位置にのみフラックスが装填されたフラックス装填部を有するフラックス供給部材に、前記突起電極が積層方向に対し下側となる状態で前記半導体装置を搬送し、前記突起電極を前記フラックス装填部に浸漬することにより前記突起電極上に前記フラックスを配設するフラックス配設工程を有する構成とする。

【0021】上記の各手段は、次のように作用する。

【0022】請求項1記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔が設けられ、電極パッドの裏側面（突起電極と反対側の面）が貫通孔内で露出する。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を下側の半導体装置の貫通孔内の電極パッドに接続することができる。このとき、上側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に收容される。したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができ、簡単な構成で複数の半導体装置の積層構造を実現できる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0023】請求項2記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔

(5)

7

が設けられ、電極パッドの裏面が貫通孔内で露出し、この面に突起電極が設けられる。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を下側の半導体装置の電極パッドに接続することができる。このとき、下側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に収容される。したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができ、簡単な構成で複数の半導体装置の積層構造を実現できる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0024】請求項3記載の発明によれば、請求項1又は2記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0025】請求項4記載の発明によれば、再配線基板の両面に半導体素子が実装され、かつ再配線基板の両面に設けられた電極パッドの一方のみに突起電極が設けられる。再配線基板の両面の電極パッドはVIAホールにより電気的に接続される。したがって、突起電極が設けられていない側の半導体素子の封止高さより高い突起電極を有する半導体装置を、突起電極が設けられていない側から積層することができ、簡単な構成で半導体装置の積層構造を実現できる。

【0026】請求項5記載の発明によれば、請求項4記載の半導体装置において、突起電極が再配線基板の両側の半導体素子の封止高さの総和より高いため、同じ構成の半導体装置同士を積層することができる。

【0027】請求項6記載の発明によれば、請求項4又は5記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0028】請求項7記載の発明によれば、請求項4又は5記載の半導体装置において、再配線基板の両側の半導体素子はワイヤボンディングにより電極パッドに接続される。そして、片側の電極パッド上でのワイヤの接続位置は、反対側の電極パッド上でのワイヤの接続位置からずれている。両側の半導体素子のボンディング位置が同じ場合は、片側の半導体素子のワイヤボンディングを行った後、反対側の半導体装置のワイヤボンディングを行なう場合、ボンディング位置の下にはすでにワイヤが張られているので、ボンディング位置を下側から支持することはできない。しかし、本発明による半導体装置では、片側の半導体素子のワイヤボンディングを行った

8

後、反対側の半導体素子のワイヤボンディングを行なう場合、反対側のボンディング位置のずれを利用してボンディングされる部分の下側からボンディング位置を支持することができ、確実なワイヤボンディングを行なうことができる。

【0029】請求項8記載の発明によれば、請求項1乃至7に記載された半導体装置を複数層積層して接続した積層構造を有する半導体装置において、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なる構成とするため、サイズの異なる半導体素子を有する半導体装置同士でも積層することができる。

【0030】請求項9記載の発明によれば、再配線基板の両面に半導体装置を搭載する際に、片側の半導体素子を搭載した後に反対側の半導体素子を下側から支持しながら搭載することができるため、両側の半導体装置を確実に再配線基板に搭載することができる。

【0031】請求項10記載の発明によれば、突起電極と電極パッドとを接合することにより複数の半導体装置を積層する半導体装置の積層方法において、半導体装置を突起電極が積層方向に対し上側となるよう配置すると共に、突起電極の配設位置と対応する位置にのみフラックスが塗布されるフラックス塗布部を有した転写ヘッドを用いて突起電極上にフラックスを転写することにより、突起電極にのみフラックスを設けることができる。よって、フラックス塗布後に突起電極と電極パッドを接合するために実施されるリフロー処理時に隣接する突起電極及び電極パッドが短絡することを防止することができる。

【0032】請求項11記載の発明によれば、突起電極と電極パッドとを接合することにより複数の半導体装置を積層する半導体装置の積層方法において、突起電極が積層方向に対し下側となる状態で半導体装置を搬送し、突起電極の配設位置に対応した位置にのみフラックスが装填されたフラックス装填部に突起電極を浸漬して突起電極上にフラックスを配設することにより、突起電極にのみフラックスを設けることができる。よって、フラックス塗布後に突起電極と電極パッドを接合するために実施されるリフロー処理時に隣接する突起電極及び電極パッドが短絡することを防止することができる。

【0033】また、半導体装置は、通常製造された後は突起電極が下に位置するよう保管される。このため、請求項10記載の積層方法では必要な半導体装置を反転させる処理が不要となり、フラックス配設工程の簡単化を図ることができる。

【0034】

【発明の実施の形態】以下、図面を参照して本発明における実施の形態を詳細に説明する。

【0035】図3は本発明の第1実施例による半導体装置40の断面図である。図3に示した半導体装置40は、ワイヤボンディング接続されたファンアウト型の半

(6)

9

導体装置である。図3において、図1に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0036】図3に示した半導体装置40において、半導体チップ3は片面配線基板よりなるインターポーザ1の配線面側に搭載される。インターポーザ1はポリイミドテープ基板、ガラスエポキシ基板又は有機基板（ポリカーボネート）等より形成される。半導体チップ3はD B材6によりインターポーザ1に固定され、Auワイヤ4によりワイヤボンディングすることにより半導体チップ3とインターポーザ1上に形成されたボンディングパッド5とは電氣的に接続される。ボンディングパッド5は配線パターンによりボールパッド8に接続される。ボールパッド8の表面は、ハンダボール7を設ける部分を除いてハンダレジスト10により覆われる。ハンダボール7は、半導体チップ3が搭載される面側のボールパッド8上に設けられる。

【0037】インターポーザ1の半導体チップ3搭載面の反対側の面には、ボールパッド8まで延在するスルーホール（VIA）9が設けられる。すなわち、スルーホール9はインターポーザ1の基板を貫通して設けられる貫通孔である。したがって、ボールパッド8のハンダボール7が設けられた面の反対側の面は、スルーホール9内で露出している。後述のように半導体装置を積層して接続可能とするため、スルーホール9の大きさは、ハンダボール7を接続するのに十分な面積のボールパッド8が露出するような大きさに設定される。

【0038】半導体チップ3及びボンディングパッド5は封止樹脂2により封止されるが、ハンダレジスト10によりハンダボール搭載部分のみ露出したボールパッド8は封止されない。よって、ハンダボール7は、ハンダレジスト10により露出したボールパッド8上に設けられる。すなわち、ハンダボール7はインターポーザ1の半導体チップ3搭載面側において、半導体チップ3の周囲に配列される。

【0039】半導体チップ3は薄型化された半導体チップであり、封止樹脂2による封止高さ（封止樹脂2により封止した部分のボールパッド8からの高さ）は、ハンダボール7の高さ（ハンダボール7のボールパッド8からの高さ）より低く設定される。すなわち、ハンダボール7の高さは封止樹脂2による封止高さより高くなるように設定され、後述するように同じ構造を有する半導体装置を容易に積層して接続可能な構造となっている。このように、封止樹脂2の高さを低くするには、ワイヤボンディングを使用する場合、液状レジンをを用いることが有効である。また、真空印刷装置を併用することにより、より低く安定した封止高さを実現することができる。

【0040】図4は、本実施の形態による半導体装置であって、半導体チップをフリップチップ実装する場合の例を示す断面図である。図4において、図3に示す構成

10

部品と同じ部品には同じ符号を付し、その説明は省略する。

【0041】図4に示すように、半導体チップ3の接続にフリップチップ実装を用いることにより、封止樹脂2による封止高さを図3に示す場合よりさらに低くすることができる。すなわち、Auワイヤ4に代えて半導体チップ3に形成された突起電極12により、半導体チップ3とインターポーザ1との電氣的接続を行なうことで、封止高さを低く押さえるものである。突起電極12としては、Auバンプあるいはハンダバンプ等が用いられる。

【0042】半導体チップ3とインターポーザ1の間には、一般的にアンダーフィル材11が注入され、突起電極12とボンディングパッド5との接続を補強している。このアンダーフィル材11の注入を、ハンダボール7を形成した後に行なうことにより、ハンダボール7とボールパッドとの接合部にもアンダーフィル材11を供給することができ、ハンダボール7の接続を補強することができる。これにより、半導体装置を基板に実装する二次実装の信頼性を高めることができる。

【0043】図4に示した半導体装置は、封止樹脂2により半導体チップ3全体を封止するいわゆるオーバーモールドタイプであるが、フリップチップ実装の場合は封止樹脂2による封止を省くことにより、封止高さ（この場合封止高さは半導体チップ3の上面の高さとなる）をより低くすることができる。

【0044】上述の図3及び図4に示した半導体装置は、片面配線のインターポーザ1を使用することにより、低コストにて製造することができる。また、スルーホール9にはスルーホールメッキを施す必要がなく、微細な配線にも対応することができる。

【0045】図5は図3に示したワイヤボンディング接続を用いた半導体装置のボンディングパッド5とボールパッド8との位置関係を示す平面図である。本実施の形態による半導体装置に使用されるインターポーザ1は、図5に示すように、半導体チップ3に対向する面上にも配線パターンを形成可能である。このため、ボンディングパッド5とボールパッド8の配置関係を自由に設定することができ、ボンディングパッド5とボールパッド8とを狭い面積内で効率的に配置することができる。

【0046】なお、上述の本実施の形態による半導体装置の説明では、ワイヤボンディング及びフリップチップ実装により半導体チップ3とインターポーザ1とを接続した例を区示して説明したが、インターポーザ1をテープ基板とし、TAB（テープオートメテッドボンディング）接続により半導体チップ3とインターポーザ1とを接続してもよい。

【0047】次に、上述の本発明の第1実施例による半導体装置を複数個積層して接続した構造について説明する。図6は図3に示すようなワイヤボンディングにより

(7)

11

半導体チップをインターポーザに接続した半導体装置を二重積層して接続した例を示す断面図である。図7は図4に示すようなフリップチップ実装により半導体チップをインターポーザに接続した半導体装置を二重積層して接続した例を示す断面図である。図6及び図7において、それぞれ図3及び図4に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0048】図6及び図7に示すように、上側の半導体装置に設けられたハンダボール7は、下側の半導体装置のスルーホール9を介して下側の半導体装置の対応するボールパッド8に接続される。ハンダボールの高さが、封止樹脂2の封止高さより高いので、上側の半導体装置と下側の半導体装置のインターポーザ1の間の間隔はハンダボール7により封止樹脂2の封止高さ以上に保たれる。よって、半導体チップ3は上側の半導体装置のインターポーザ1と下側の半導体装置のインターポーザ1との間に形成された空間に収容される。

【0049】このような半導体装置の積層構造において、半導体装置を積層固定するには、単に半導体装置同士を重ねた上で上側の半導体装置のハンダボール7を溶融して下側の半導体装置のボールパッドに接続するだけでよい。したがって、非常に簡単な作業で積層構造を形成することができる。また、上側の半導体装置のハンダボール7は下側の半導体装置のインターポーザ1に形成されたスルーホール9内に配置されるため、自動的に半導体装置同士の位置決めが行われる。

【0050】図8は本実施の形態による半導体装置の変形例である半導体装置の一部を示す断面図である。図8において図6に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。図8に示した変形例では、スルーホール9がすりばち形状に形成されている。スルーホール9をこのような形状とすることにより、半導体装置の位置決め時にハンダボール7をスルーホール9に案内する作用が向上し、半導体装置同士の位置決めがより容易となる。スルーホール9の形状はすりばち形状に限定されることはなく、スルーホール9の端部を面取りした形状でもよい。

【0051】また、積層又は二次実装時のハンダのリフローによるハンダボールの脱落を防止するためには、実装ランド径サイズをスルーホール9の開口径サイズの1.5倍以下にすることが好ましい。より好ましくは、実装ランド径サイズとスルーホール9の開口径サイズとを同等にする。これにより、上下のハンダ接続部の面積が等しくなり、溶融したハンダが片方に吸い寄せられたり、実装後の接合部の応力集中を防止することができる。また、積層に使用される半導体のハンダボール7として、高融点のハンダボールを使用することにより、積層構造体をマザーボードへ二次実装する際に積層構造内のハンダボール7が再溶融することを防止することができる。信頼性の高い二次実装を達成することができる。

12

【0052】以上のようなスルーホール9の形状、サイズ及びハンダボール7の材質は、以下に説明する他実施例にも適用可能である。

【0053】なお、積層構造の最上段に位置する半導体装置のインターポーザ1には上側からハンダボール7を接続することはないため、図9に示すように、スルーホール9を形成する必要は無く、その分コスト低減となる。また、最上段に位置する半導体装置にもスルーホール9を設けたインターポーザ1を使用した場合、このスルーホール9を介して積層された半導体装置との電気的接触を行なうことができ、導通試験等の半導体装置試験を行なうことができる。

【0054】図10は本実施の形態による半導体装置の積層構造において、上段の半導体装置の電極数を下段の半導体装置の電極数より多くした場合の構成を示す断面図である。図10において、図6に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0055】図10において、上側の半導体装置は電極数が多いため、上側の半導体装置のインターポーザ1Aを下側の半導体装置のインターポーザ1より大きくしてボールパッド8の他にボールパッド8Aを設けている。そして、下側の半導体装置と電気的に接続しないボールパッド8Aは外周部に配置し、このボールパッド8Aに接続するハンダボール7Aはハンダボール7より大きく形成する。すなわち、ハンダボール7Aの高さは下側の半導体装置のハンダボール7までの高さと同等にする。これにより、上側の半導体装置の電極は、下側の半導体装置の電極を経由しないでマザーボード等の他の基板に電気的に接続することができる。このように、ハンダボールの大きさを異ならせることにより、異なる電極数の半導体装置を積層することができる。このような半導体装置の構成によれば、上側の半導体装置と下側の半導体装置の異なるサイズのものとすることができ、様々な種類の半導体装置を積層することが可能となる。

【0056】図11は、本実施の形態による半導体装置における、スルーホール内のボールパッドの変形例を示す断面図である。図11に示すボールパッド8Bは、上側の半導体装置のハンダボール7が接続される面が凸形状に形成されている。このように、ボールパッドを凸形状とすることにより、ハンダボール7との接触面積が増大し、信頼性の高い接続を達成することができる。

【0057】なお、上述実施例による半導体装置の積層構造において、積層される半導体装置の半導体チップは同種のチップであってもよいし、異種のチップとすることもできる。また、二重の半導体装置を積層した構成を説明したが、同様な方法により積み重ねることにより、三層以上の半導体装置を積層することもできる。

【0058】また、本実施の形態における様々な変形例は、以下に説明する他実施例にも適用可能である。

【0059】次に、本発明の第2実施例について説明す

(6)

13

る。図12及び図13は本発明の第2実施例による半導体装置の断面図である。図12は半導体チップをワイヤボンディング接続したものであり、図13は半導体チップをフリップチップ実装したものである。図12及び図13において、図3及び図4に示した構成部品と同じ部品には同じ符号を付す。本発明の第2実施例による半導体装置の構成部品は、上述の第1実施例による半導体装置の構成部品と基本的に同じであり、ここではその相違点についてのみ説明する。

【0060】上述の第1実施例による半導体装置では、インターポーザ1の半導体チップ搭載面側、すなわち配線面側にハンダボール7が設けられている。そして封止樹脂の封止高さはハンダボール7の高さより低く設定されている。すなわち、半導体チップ3とハンダボール7とは、インターポーザ1の同じ面側に搭載され、スルーホール9はインターポーザ1の半導体チップ搭載面の反対側の面に設けられている。

【0061】これに対して、第2実施例による半導体装置では、ハンダボール7は、インターポーザ1の半導体チップ搭載面の反対側の面に設けられる。すなわち、ハンダボール7はスルーホール9内に露出したボールパッド8の面に対して設けられる。したがって、ハンダボール7は半導体チップ3（封止樹脂2）が設けられた面の反対側に突出するように設けられる。

【0062】このような構成において、封止樹脂2の封止高さ（ボールパッド8の表面からの高さ）は、ハンダボール7の高さ（インターポーザ1のチップ実装面の反対側の面からの高さ）より低く設定される。すなわち、ハンダボール7の高さは、封止高さより高いため、後述するように本実施の形態による半導体装置を積層した場合、封止樹脂2による封止部分は上側と下側の半導体装置のインターポーザの間に形成される空間に收容される。

【0063】なお、上述の本実施の形態による半導体装置の説明では、ワイヤボンディング及びフリップチップ実装により半導体チップ3とインターポーザ1とを接続した例を図示して説明したが、インターポーザ1をテープ基板とし、TAB（テープオートメテッドボンディング）接続により半導体チップ3とインターポーザ1とを接続してもよい。

【0064】次に、上述の本発明の第2実施例による半導体装置を複数個積層して接続した構造について説明する。図14は図12に示すようなワイヤボンディングにより半導体チップをインターポーザに接続した半導体装置を二個積層して接続した例を示す断面図である。図15は図13に示すようなフリップチップ実装により半導体チップをインターポーザに接続した半導体装置を二個積層して接続した例を示す断面図である。図14及び図15において、それぞれ図12及び図13に示す構成部品と同じ部品には同じ符号を付し、その説明は省略す

14

る。

【0065】図14及び図15に示すように、上側の半導体装置に設けられたハンダボール7は、下側の半導体装置のスルーホール9を介して下側の半導体装置の対応するボールパッド8に接続される。ハンダボール7の高さが、封止樹脂2の封止高さより高いので、上側の半導体装置と下側の半導体装置のインターポーザ1の間の間隔はハンダボール7により封止樹脂2の封止高さ以上に保たれる。よって、半導体チップ3は上側の半導体装置のインターポーザ1と下側の半導体装置のインターポーザ1との間に形成された空間に收容される。

【0066】このような半導体装置の積層構造において、半導体装置を積層固定するには、単に半導体装置同士を重ねた上で上側の半導体装置のハンダボール7を溶融して下側の半導体装置のボールパッドに接続するだけでよい。したがって、非常に簡単な作業で積層構造を形成することができる。

【0067】なお、上述実施例による半導体装置の積層構造において、積層される半導体装置の半導体チップは同種のチップであってもよいし、異種のチップとすることもできる。また、二個の半導体装置を積層した構成を説明したが、同様な方法により順次積み重ねることにより、三個以上の半導体装置を積層することもできる。

【0068】次に、本発明の第3実施例について説明する。図16及び図17は本発明の第3実施例による半導体装置を示す断面図である。図16及び図17において、図3及び図4に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。本実施の形態による半導体装置は、上述の第1実施例による半導体装置と基本的な構造は同じであり、相違点は、半導体チップ3の上に半導体チップ3Aが積層されて一体的に樹脂封止されていることである。

【0069】図16において、半導体チップ3より小さい半導体チップ3Aは緩衝材13を介して半導体チップ3に積層されている。半導体チップ3及び3Aは、両方ともAuワイヤ4によりインターポーザ1のボンディングパッド5に接続され、封止樹脂2により一体的に封止される。封止樹脂2の封止高さは、上述の第1実施例による半導体装置と同様に、ハンダボール7Bの高さより低く設定される。したがって、本実施の形態による半導体装置も、上述の第1実施例による半導体装置と同様に、複数の半導体装置を積層して接続することができる。

【0070】図17に示す半導体装置は、図16に示す半導体装置において半導体チップ3をフリップチップ実装したものであり、その他の構成は図16に示す半導体装置と同じである。

【0071】また、図示はしないが、半導体装置3をTAB接続することもできる。また、図16及び図17では半導体チップを二重重ねて樹脂封止しているが、半導

(9)

15

体チップの封止高さをハンダボール7Bの高さより低くできるのであれば、三個以上の半導体装置を積層してインターポーザ1に搭載し、一体的に樹脂封止した構成としてもよい。

【0072】次に、本発明の第4実施例について説明する。図18は本発明の第4実施例による半導体装置を示す断面図である。図18において、図12に示す構成部品と同じ部品には同じ符号を付し、その説明は省略する。本実施の形態による半導体装置は、上述の第2実施例による半導体装置と基本的な構造は同じであり、相違点10は、半導体チップ3の上に半導体チップ3Aが積層されて一体的に樹脂封止されていることである。

【0073】図18において、半導体チップ3より小さい半導体チップ3Aは緩衝材13を介して半導体チップ3に積層されている。半導体チップ3及び3Aは、両方ともAuワイヤ4によりインターポーザ1のボンディングパッド5に接続され、封止樹脂2により一体的に封止される。封止樹脂2の封止高さは、上述の第2実施例による半導体装置と同様に、ハンダボール7Bの高さより低く設定される。したがって、本実施の形態による半導体装置も、上述の第1実施例による半導体装置と同様に、複数の半導体装置を積層して接続することができる。

【0074】図18に示す半導体装置は、半導体チップ3及び3Aをワイヤボンディングしたものであるが、半導体チップ3はフリップチップ実装によりインターポーザ1に実装することもできるし、TAB接続により実装してもよい。また、図18では半導体チップを二個重ねて樹脂封止しているが、封止高さをハンダボール7Bの高さより低くできるのであれば、三個以上の半導体装置を積層してインターポーザ1に搭載し、一体的に樹脂封止した構成としてもよい。

【0075】また、図18に示す半導体装置には、封止樹脂2の封止高さより高いハンダボール7Bが設けられているが、複数の半導体装置を積層して接続する場合、最下段の半導体装置のハンダボールは基板に接続するためだけなので、大きいハンダボールとする必要はない。

【0076】次に、本発明の第5実施例について説明する。図19は本発明の第5実施例による半導体装置の断面図である。図19において、図3に示した構成部品と同じ部品には同じ符号を付し、その説明は省略する。

【0077】本実施の形態では、インターポーザ21として両面配線基板を使用する。したがって、ボンディングパッド5及びボールパッド8はインターポーザ21の両面に設けられ、半導体チップ3はインターポーザ21の両面に搭載され樹脂封止される。インターポーザ21の両面に設けられたボールパッド8又はボンディングパッド5は、VIAホール22により互いに電氣的に接続される。VIAホール22はインターポーザ21の基板を貫通する孔であり、内面にメッキが施されてインター

16

ポーザの両面の電極パッドを電氣的に接続するものである。また、両面のボールパッド8のいずれか一方にハンダボール7Cが設けられる。

【0078】ハンダボール7Cの高さは封止樹脂2の封止高さの二倍以上とされ、複数の半導体装置を積層して接続可能となっている。すなわち、本実施の形態による半導体装置を積層して接続した場合、上側に位置する半導体装置のハンダボール7Cは、下側の半導体装置のボールパッド8に接続される。上側の半導体装置のインターポーザ21と下側の半導体装置のインターポーザ21との間には、上側の半導体チップ3の封止樹脂2と下側の半導体チップ3の封止樹脂2とが収容される。したがって、ハンダボール7Cの高さは、封止樹脂2の封止高さの二倍以上とする必要がある。

【0079】ここで、積層された複数の半導体装置のうち、最下段に位置する半導体装置には上述のように大きなハンダボール7Cを設ける必要はなく、図20に示すように、下側の半導体チップ3を封止する封止樹脂2の高さ以上とされたハンダボール7であればよい。

【0080】なお、本実施の形態による半導体装置も、上述実施例と同様に、半導体チップ3をワイヤボンディングではなく、フリップチップ実装又はTAB接続としてもよい。

【0081】図21(a)及び(b)は、図19及び図20に示す半導体装置の変形例を積層した状態を示す模式図である。この変形例では、ボンディングワイヤ(Auワイヤ4)を封止する部分以外は封止樹脂2の高さを低くしてある。そして、上側の半導体装置の半導体チップ3の位置と、下側の半導体装置の半導体チップ2の位置とを相対的にずらすことにより、上側と下側の半導体装置のボンディングワイヤが封止された部分が重ならないようにする。すなわち、ボンディングワイヤを封止した部分が封止樹脂2の部分で最も高くなる部分であり、この部分を互いにずらして配置することにより、上側の半導体装置のインターポーザ21と下側の半導体装置のインターポーザ21との間隔を狭めることができ、積層構造全体の高さを小さくすることができる。なお、一方の半導体装置のボンディングワイヤを封止した部分を、他方の半導体装置のボンディングワイヤ以外の部分を封止した部分に嵌合することにより、半導体装置同士の位置決めを行なうこともできる。

【0082】次に、図19及び図20に示す本発明の第5実施例による半導体装置の製造方法について説明する。

【0083】図22は半導体チップ3をインターポーザ21に搭載する工程を示した模式図である。本発明の第5の実施例では、半導体チップ3-1及び3-2がインターポーザ21の両側に搭載される。したがって、例えば下側の半導体チップ3-2を搭載した後で上側の半導体チップ3-1をインターポーザ21の反対側の面に搭載

(10)

17

する際、インターポーザ21を治具30に載置して行なう。インターポーザ21の下側の面にはすでに半導体チップ3-2が搭載されているので、治具30には半導体チップ3-2が収容される凹部が設けられる。しかし、このまま半導体チップ3-1をインターポーザ21にダイス付けしようとする、ダイス付けの際の荷重によりインターポーザ21が撓んでしまい、下側の半導体チップ3-2が治具30の凹部の底面に接触したりして損傷するおそれがある。このような問題を回避するために、半導体チップ3-2の下に緩衝部材31を設けて半導体チップ3-2を支持し、上側の半導体チップ3-1のダイス付けの際の荷重によりインターポーザ21が撓まないようにする。緩衝部材31としては、耐熱性を有する弾性材料が適している。そのような材料として、NBR、シリコン系ゴムあるいはフッ素系ゴムが挙げられる。

【0084】図23は、半導体チップ3-1及び3-2が搭載されたインターポーザ21の半導体装置3-1にワイヤボンディングを行なう際の工程を示す模式図である。半導体チップ3-2をインターポーザ21に搭載してワイヤボンディングを行った後に、反対側の半導体チップ3-1をワイヤボンディングする際、インターポーザ21（ボンディングパッド）への接続部にはワイヤボンダの荷重が加わる。インターポーザ21は非常に薄い基板で形成されるため、インターポーザ21の外周部を支持した状態でワイヤボンディングを行なうとインターポーザ21が撓んでしまい（下側に沈み込んでしまう）、適切にワイヤボンディングを行なうことができないおそれがある。このような問題を回避するために、上側の半導体チップ3-1と下側の半導体チップ3-2とのボンディングワイヤ接続部をずらしておく。より具体的には、下側の半導体チップ3-2のボンディング位置を、上側の半導体チップ3-1のボンディング位置より内側にしておく。このようにすることにより、上側の半導体チップ3-1をワイヤボンディングする際に、図23に示すように、インターポーザ21のボンディング部分を治具30の上面で支持することができ、治具30によりワイヤボンダの荷重を受けることができる。したがって、上側の半導体チップ3-1のワイヤボンディング時に、インターポーザ21が撓んでワイヤボンディングが適切に行えないというような問題を回避することができる。

【0085】図24は緩衝材31を使用しないでインターポーザ21の撓みによる問題を回避する方法を示す模式図である。図24(a)は治具に搭載されたインターポーザト半導体チップの側面図であり、図24(b)は半導体チップ3-1の上方から見た平面図である。図24に示す方法では、インターポーザ21のワイヤボンディングを行わない部分に押圧部材32を押しつけておき、インターポーザ21を予めある程度撓ませてしまう。イ

18

ンターポーザ21を撓ませた状態でインターポーザ21がある程度張力を有している状態でワイヤボンディングすることにより、ワイヤボンダによる荷重がインターポーザ21に加えられても、インターポーザ21はそれ以上撓むことはなく、正常にワイヤボンディングを行なうことができる。

【0086】また、インターポーザ21の押圧部材32が当接する部分の下側に支持部材を設けることにより、押圧部材32と支持部材との間でインターポーザ21を挟んだ状態で保持することとしてもよい。

【0087】次に、本発明の第5実施例による半導体装置を封止する工程について説明する。ここでは、複数の半導体装置をまとめてインターポーザ21上に形成し、複数の半導体装置を樹脂封止する場合について説明する。図25は、樹脂封止用モールド金型の断面図であり、図26は樹脂封止用モールド金型の内部を示す平面図である。

【0088】図25に示す封止工程は、3つの半導体装置を一括して樹脂封止するためのものであり、インターポーザ21には上下合わせて6個の半導体チップが搭載されている。インターポーザ21は半導体装置三個分の大きさを有しており、さらにモールド金型33A、33Bのランナー34方向に延在する部分も有している。このため、インターポーザ21の両面に樹脂を導入するには、モールド金型の両方にランナー及びゲートを設けなければならない。そこで、図25に示すように、ゲート34は上型33Aのみに設け、ゲート35A、35Bの付近に位置するインターポーザ21の部分に開口21aを設けて、インターポーザ21の上側と下側の両方に樹脂が導かれるようにする。すなわち、インターポーザ21の上側から注入された樹脂の一部は、ランナー34内でインターポーザ21の開口21aを通してインターポーザ21の下側へ導入される。インターポーザの上側と下側とに導入された樹脂は、各々のゲート35A、33Bを介して均等な速度でモールド金型33A、33Bの内部へと注入される。したがって、簡単な構成によりインターポーザ21の両面に搭載された半導体チップを同時に樹脂封止することができる。

【0089】また、図25に示されるように複数の半導体装置を同時に樹脂封止するには、インターポーザ21の大きさが大きくなり、モールド金型33A、33B内において、インターポーザ21が撓んでしまうおそれがある。これを防止するために、図25に示すモールド金型33A、33Bには基板撓み防止ピン36が設けられている。基板撓み防止ピン36はモールド金型33A、33Bの各々から突出してインターポーザ21に当接するように設けられる。したがって、インターポーザ21は基板撓み防止ピン36によって支持され、その撓みが防止される。なお、図26において符号23で示される部分は撓み防止ピン36がインターポーザ21に当接す

(11)

19

る部分である。

【0090】特に隣合う半導体チップの間隔が狭い場合は、ボンディングワイヤとの接触を避けるために撓み防止ピン36にテーパを付けることが好ましい。また、撓み防止ピンは必ずしも上型33Aと下型33Bの両方に設ける必要はなく、下型33Bに設けるだけでも、インターポーザの重さによる撓みを防止することができる。

【0091】以上のような工程により形成された半導体装置は、カティングブレードにより不用なゲート残りが除去され、個々の半導体装置に分割される。このような切断工程では、UVテープ等の容易に剥離可能な粘着テープをにて固定しながら切断が行われる。しかし、インターポーザ21の両面に半導体チップが搭載されているため、UVテープは封止樹脂部のみに貼りついてしまい、インターポーザ21に貼りつけることができない。そこで、図27に示すように、UVテープ37の封止樹脂に相当する部分を取り除いておき、UVテープ37がインターポーザ21のみに貼りつくようにしておく。これにより、インターポーザ21をUVテープ37により固定することができ、安定した切断を行なうことができる。

【0092】あるいは、樹脂封止された部分以外のインターポーザ21を予めパンチングやレーザ切断により除去しておき、封止樹脂のみを切断することとすれば、UVテープ37は封止樹脂に貼りつける構成でもかまわない。この場合、インターポーザ21の除去すべき部分に予め切れ目を入れておいてもよい。

【0093】図28は本発明の第5実施例による半導体装置を基板に搭載した状態を示す模式図である。図28に示すように、下側の封止樹脂2とマザーボード等の基板38との間に緩衝材39を設けることにより、半導体装置を基板38に安定した状態で搭載することができる。緩衝材38は半導体装置に加わる外力を緩衝する機能、半導体装置を基板38に固定する機能、あるいは半導体装置で発生する熱を基板に放出する機能を有することとしてもよい。

【0094】なお、図28に示した緩衝材39は、本発明の第5実施例による半導体装置に限ることなく、インターポーザの下側に半導体チップが封止された半導体装置であれば適用することができる。

【0095】図29は樹脂封止部の境界部分にレジスト（絶縁性物質）を設けた例を示す。インターポーザ21の半導体チップを搭載する部分にはレジスト10Aは設けず、ハンダボール7を設ける部分にのみレジスト10Aを設けるものである。これにより、モールド金型の合わせ目にレジスト10Aが存在することとなり、レジスト10Aの弾力により樹脂バリの発生が抑制される。また、レジスト10Aによりインターポーザ21補強して撓みにくくすることができる。半導体チップ搭載部にレジスト10Aを設けないため、レジスト10Aの厚み分

20

半導体装置の高さを減少することができる。

【0096】図29は本発明の第5実施例による半導体装置を示しているが、これに限られず、レジスト10Aの構成はその他実施例による半導体装置にも適用可能である。

【0097】図30はレジストを半導体装置の位置決め用に使用した例を示す。図30において、レジスト10Bは樹脂封止する部分には設けられず、半導体装置が積層された場合に上側の半導体装置の封止樹脂2が下側の半導体装置のレジスト10Bにより位置決めされるように構成されている。

【0098】図30乃至図32は、上述の各実施例による半導体装置を組み合わせた積層構造を説明するための図である。図31は積層構造中に含まれる半導体チップが2個の場合を示し、図32は積層構造中に含まれる半導体チップが3個の場合を示し、図33は積層構造中に含まれる半導体チップが4個の場合を示す。各図において、最も左側の欄には、半導体チップの個数が表示され、2番目の欄には積層構造の模式図が示されている。3番目の欄には積層構造中に含まれるインターポーザの数が示されている。4番目及び5番目の欄には外部端子の形態が示されている。すなわち、積層構造とされた半導体装置を基板に実装する場合に使用可能な実装方法を示すものである。4番目の欄はBGA（ボールグリッドアレイ）が使用可能である場合に○印を表示し、使用できない場合に×印を表示している。また、5番目の欄はLGA（ランドグリッドアレイ）が使用可能である場合に○印を表示し、使用できない場合に×印を表示している。

【0099】また、6番目乃至8番目の欄には半導体チップの接続に使用可能な方法を示している。すなわち、6番目の欄では、半導体チップをワイヤボンディングにより接続可能な場合は○印を表示し、接続不可能な場合は×印を表示している。また、7番目の欄では、半導体チップをフリップチップ実装可能な場合は○印を表示し、フリップ実装不可能な場合は×印を表示している。さらに、8番目の欄では、半導体チップをTAB接続可能な場合に○印を表示し、TAB接続できない場合は×印を表示している。

【0100】9番目及び10番目の欄では、組み合わせ可能な半導体チップの種類を特定している。すなわち、9番目の欄では、同種類の半導体チップ同士を積層可能な場合に○印を表示し、同種類のチップ同士を積層できない場合に×印を表示している。10番目の欄では異種チップ同士を積層可能な場合に○印を表示し、異種類のチップ同士を積層できない場合に×印を表示している。

【0101】続いて、上記した構成を有する半導体装置を積層する具体的な積層方法について説明する。尚、以下の説明においては、先に図3を用いて説明した半導体装置40を積層する例について説明する。

(12)

21

【0102】図34は、半導体装置40を積層する際に用いる半導体装置の積層装置を示している。この積層装置は、大略するとパッケージ供給テーブル41、スタックヘッド42、フラック供給部43A、転写ヘッド44A、及びカメラユニット45等により構成されている。

【0103】パッケージ供給テーブル41は、前記した製造方法により製造された半導体装置40が一時的に載置されるテーブルである。本実施例では、各半導体装置40は、ハンダボール7が上面となるようパッケージ供給テーブル41上に載置されている。

【0104】尚、製造された半導体装置40は、本積層装置まで搬送用トレイに収納された状態で搬送される。この際、ハンダボール7の保護等の理由により、半導体装置40はハンダボール7を下側にして搬送用トレイに収納される。よって、本実施例の場合には、搬送用トレイから取り出された半導体装置40は、上下を逆転された上でパッケージ供給テーブル41に載置される。

【0105】スタックヘッド42は、図示しない移動装置（例えば、ロボット等）により、三次元的に移動可能な構成とされている。また、その先端部には吸引装置に接続された吸着ヘッド部47が設けられており、半導体装置40を吸引することにより保持できる構成とされている。

【0106】フラック供給部43Aは、後述する転写ヘッド44Aにフラックス50を塗布するものである。このフラックス供給部43Aは円柱形状とされており、その上面は高い平面度を有した構成とされている。フラックス50は、このフラック供給部43Aの上面に装填された後、スキージ48を用いて所定の厚さとされる。この時のフラックス50の厚さは、スキージ48とフラック供給部43Aとの間のクリアランスを調整することにより、任意の厚さに設定することができる。

【0107】転写ヘッド44Aは、図示しない移動装置（例えば、ロボット等）により、三次元的に移動可能な構成とされている。そして、この移動に伴い転写ヘッド44Aの先端部（図における下端部）がフラック供給部43Aに配設されたフラックス50に押し付けられることにより、フラックス50はフラック供給部43Aから転写ヘッド44Aに移るよう構成されている。

【0108】カメラユニット45は、上部を撮像する上部カメラ51と下部を撮像する下部カメラ52を有した構成とされている。このカメラユニット45は、後述するように複数の半導体装置40を積層する際に、各半導体装置40の位置決めを行なうのに用いるものである。

【0109】尚、本実施例では2個の半導体装置を積層する例について説明するものとする。また、積層した際に下部に位置する半導体装置を符号40Aで示し、上部に位置する半導体装置を符号40Bで示すものとする。更に、上部及び下部に拘わらず半導体装置を示す場合には符号40を用いるものとする。

22

【0110】図示されるように、カメラユニット45は上部カメラ51と下部カメラ52を一体的に設けた構成とされているため、積層した際に下部に位置する半導体装置40Aと上部に位置する半導体装置40Bを同時に撮像することができる。よって、1台のカメラのみしか設けてない構成に比べ、カメラを反転させる必要がなくなり、位置決め処理の効率化を図ることができる。

【0111】次に、上記構成とされた積層装置を用いて行なわれる半導体装置40A、40Bの積層方法について説明する。

【0112】半導体装置40A、40Bを積層するには、先ず最下部に位置する半導体装置40Aをキャリアステージ46Aに装着する。キャリアステージ46Aは、各半導体装置40A、40Bを積層する際の基台となるものである。図35は、半導体装置40Aをキャリアステージ46Aに装着した状態を示している。

【0113】同図に示されるように、キャリアステージ46Aには半導体装置40Aを位置決めするための装着溝49Aが形成されている。スタックヘッド42は、最下部に位置する半導体装置40Aをパッケージ供給テーブル41から搬送し、キャリアステージ46Aの装着溝49A内に装着する。

【0114】前記したように、パッケージ供給テーブル41にはハンダボール7が上部に位置するよう各半導体装置40が載置されている。また、スタックヘッド42は、半導体装置40の封止樹脂2の表面を吸着することにより搬送処理を行なう。よって、キャリアステージ46Aに装着された状態において、半導体装置40Aはハンダボール7が上部に位置する姿勢となっている。

【0115】この半導体装置40Aの搬送処理の後（搬送処理と同時にすることも可能である）、転写ヘッド44Aに対しフラックス50を塗布する処理が実施される。転写ヘッド44Aにフラックス50を塗布するには、図36に示すように、転写ヘッド44Aをフラックス50が塗布されたフラックス供給部43Aに押し付ける。前記したように、フラックス供給部43Aには、所定の厚さでフラックス50が配設されている。よって、転写ヘッド44Aをフラックス供給部43Aに押し付けることにより、フラックス50は転写ヘッド44Aに付着する。

【0116】このようにしてフラックス50が配設された転写ヘッド44Aは、キャリアステージ46Aまで移動する。続いて、転写ヘッド44Aは、キャリアステージ46Aに装着されている半導体装置40Aに押し付けられる。前記したように、半導体装置40Aはハンダボール7が上部に位置する姿勢でキャリアステージ46Aに装着されている。よって、転写ヘッド44Aに配設されているフラックス50は、転写ヘッド44Aが半導体装置40Aに押し付けられることにより、ハンダボール7に転写される。

(13)

23

【0117】この際、本実施例では、転写ヘッド44Aに配設されたフラックス50はハンダボール7にのみ転写され、封止樹脂2等の半導体装置40Aを構成する他の部分には付着しないよう構成されている。以下、この理由について説明する。

【0118】図38は、転写ヘッド44Aの底面（フラックス供給部43A及び半導体装置40Aに押し付けられる面）を拡大して示す図である。同図に示すように、転写ヘッド44Aの底面には凹部53が形成されており、これにより相対的に凹部53に対して突出したフラックス塗布部54Aが形成されている。

【0119】このフラックス塗布部54Aの配設位置は、半導体装置40Aのハンダボール7の配設位置と対応するよう構成されている。また、凹部53の配設位置は、半導体装置40Aの封止樹脂2の配設位置と略対応するよう構成されている。従って、上記構成とされた転写ヘッド44Aをフラックス供給部43Aに押し付けた際、フラックス50はフラックス塗布部54Aにのみ付着し、凹部53には付着しない。

【0120】これにより、フラックス50が配設された転写ヘッド44Aを半導体装置40Aに押し付けた際、図40に示されるように、フラックス50はハンダボール7にのみ転写される。また、転写ヘッド44Aを半導体装置40Aに押し付けた際、封止樹脂2は転写ヘッド44Aの凹部53と対向する状態となるため、封止樹脂2の上面と凹部53とは大きく離間した状態となる。このため、封止樹脂2にフラックス50が誤って塗布されることを確実に防止することができる。

【0121】フラックス塗布後には、後述するように、半導体装置40A、40Bを積層する積層処理、及び半導体装置40Aのハンダボール7と半導体装置40Bのボールパッド8を接合するリフロー処理が行われる。この際、ハンダボール7の配設位置以外にフラックス50が存在すると、フラックス50を構成する導電性金属（ハンダ等）が溶融し、隣接するハンダボール間或いはボールパッド間で短絡が生じてしまうおそれがある。

【0122】しかしながら、本実施例のように、フラックス50がハンダボール7にのみ転写される構成とすることにより、隣接するハンダボール間及び隣接するボールパッド間で短絡することを防止でき信頼性の向上を図ることができる。

【0123】一方、隣接するハンダボール間或いは隣接するボールパッド間で短絡することを防止するためには、ハンダボール7に適量のフラックス50を転写する必要がある。これは、必要量以上のフラックス50がハンダボール7に転写された場合には、余剰のフラックス50により隣接するハンダボール間或いは隣接するボールパッド間で短絡が発生するおそれがあるからである。

【0124】また、転写されるフラックス50の量が少なかった場合には、ハンダボール7の表面に酸化膜が形

24

成され、積層時にハンダボール7とボールパッド8との間で接続不良が発生するおそれがあるからである（フラックス50には、加熱時にハンダボール7の表面酸化を防止する機能がある）。

【0125】ハンダボール7に適量のフラックス50を転写する方法としては、フラックス供給部43Aに塗布するフラックス50の厚さを制御する方法の他に、転写ヘッド44Aに設けられるフラックス塗布部54Aの形成を適宜選定することが考えられる。これについて、図39を用いて説明する。

【0126】図39（A）は、図38に示した転写ヘッド44Aのフラックス塗布部54Aを拡大して示している。同図に示すように、平面形状とされたフラックス塗布部54Aの場合、フラックス供給部43Aから転写されるフラックス50の量は少ない。

【0127】しかしながら、図39（B）に示すようにフラックス塗布部54Bを傾斜面により構成し、また図39（B）に示すようにフラックス塗布部54Bを凹球面により構成することにより、フラックス塗布部54A～54Cに付着するフラックス50の量を制御できる。これにより、ハンダボール7に適量のフラックス50を転写することが可能となる。

【0128】上記のようにハンダボール7上にフラックス50を転写する処理が終了すると、スタックヘッド42が再びパッケージ供給テーブル41上に移動すると共に下動し、図41に示すように、半導体装置40A上に積層する半導体装置40Bを吸着する。このスタックヘッド42の動作と共に、カメラユニット45はキャリアステージ46の上部に移動する。この際、カメラユニット45は、下部カメラ52がキャリアステージ46Aに装着された半導体装置40Aと対向する位置まで移動する。

【0129】一方、半導体装置40Bを吸着したスタックヘッド42は、カメラユニット45の上部カメラ51と対向する位置まで半導体装置40Bを搬送する。これにより、図42に示すように、カメラユニット45を中間に挟んで、下部に半導体装置40Aが位置し、上部に半導体装置40Bが位置する構成となる。そして、上部カメラ51は半導体装置40Bのボールパッド8の位置認識を行ない、下部カメラ52は半導体装置40Aのハンダボール7の位置認識を行なう。これにより、各半導体装置40A、40Bの位置認識が行なわれる。

【0130】上記のようにして各半導体装置40A、40Bの位置認識処理が行なわれると、続いてこの認識結果に基づきスタックヘッド42は、半導体装置40Bのボールパッド8と、半導体装置40Aのハンダボール7の位置が一致するよう、半導体装置40Aの上に半導体装置40Bを積層する。これにより、図44に示されるように、半導体装置40A、40Bは積層された状態となる。この際、上記のようにフラックス50はハンダボ

(14)

25

ール7の上部にのみ転写された構成であるため、下部に位置する半導体装置40Aの封止樹脂2と、上部に位置する半導体装置40Bのインターポーザ1との間にフラックス50が存在することはない。

【0131】図44に示す状態は、各半導体装置40A、40Bが、下部に位置する半導体装置40Aのハンダボール7と、上部に位置する半導体装置40Bのボールパッド8との間に介在するフラックス50で仮止めされた構成である。このため、半導体装置40A、40Bが積層された状態で、キャリアステージ46Aをリフロー炉に入れ、ハンダボール7をボールパッド8にハンダ接合する。これにより、各半導体装置40A、40Bは固定され、完全に積層された構成となる。

【0132】尚、本実施例では2個の半導体装置40A、40Bを積層する構成について説明したが、3個以上の半導体装置40を積層する場合には、上記した処理を繰り返し実施することにより、任意数の積層構造を実現することができる。

【0133】図45～図48は、上記した積層方法の変形例を説明するための図である。

【0134】図45に示す変形例は、ハンダボール7へフラックス50（図45には図示せず）を転写する際、ハンダボール7の整形処理を同時に行なうようにしたものである。即ち、ハンダボール7の大きさにはバラツキがあり、このバラツキが大きい場合には、半導体装置40A、40Bを積層した際、大きい直径のハンダボール7は接合するものの、小さい直径のハンダボール7は接合ができないおそれがある。

【0135】このため本変形例では、転写ヘッド44Dを用いてハンダボール7のレベリングを行なう構成としたことを特徴とするものである。このため、本変形例では転写ヘッド44Dの材質として、硬質のステンレス材を用いている。そして、図45（A）、（B）に示すように、フラックス50の転写処理時に水平状態を維持しつつ転写ヘッド44Dを下動させ、ハンダボール7を加圧する。

【0136】これにより、図45（C）に示すように、ハンダボール7の上面には平坦な整形部7Aが形成される。このように、転写ヘッド44Dを用いてハンダボール7のレベリングを行なうことにより、ハンダボール7の高さを均一化することができ、積層時における接続不良の発生を抑制することができる。また、ハンダボール7の上端部に平坦な整形部7Aが形成されるため、フラックス50の転写性も向上する。更に、レベリング処理をフラックス50の転写処理と同時に行なうため、積層処理の工程を増やすことなく、上記の効果を実現することができる。

【0137】図46に示す変形例は、半導体装置40A、40Bを積層する際、各半導体装置40A、40Bの位置決めを位置決め治具55を用いて行なうようにし

26

たものである。位置決め治具55は、位置決め部材55A～55Cにより構成されている。

【0138】この各位置決め部材55A～55Cは、図示しない位置決めピン及び位置決め孔により、積み上げた際に相互位置が所定位置に位置決めされる構成とされている。位置決め部材55Aは、半導体装置40Aの位置決めを行なうものであり、半導体装置40Aを内部に位置決めした状態で収納する位置決め孔59Aが形成されている。

【0139】また、位置決め部材55Bは、半導体装置40Bの位置決めを行なうものであり、半導体装置40Bを内部に位置決めした状態で収納する位置決め孔59Bが形成されている。更に、位置決め部材55Cは、最上部に配設されるものであり、転写ヘッド44Eのフラックス塗布部54Aが挿入する開口56が形成されている。

【0140】よって、半導体装置40A、40Bを位置決め治具55に装着することにより、各半導体装置40A、40Bの位置決め処理を行なうことができ、容易に位置決めを行なうことができる。従って、半導体装置40A、40B同士がずれることにより、ハンダボール7以外にフラックス50が付着することを防止することができる。

【0141】また、図47に示す変形例は、図46を用いて説明した位置決め治具55をクリップ部材57により固定し、この状態でリフロー処理を行なうことを特徴とするものである。この構成とすることにより、位置決め治具55を用いることにより高精度に位置決めされ、フラックス50により仮止めされた状態を維持しつつ、各半導体装置40A、40Bをリフロー処理することができる。これにより、加熱によりフラックス50が熔融状態となっても、各半導体装置40A、40Bを高い位置精度を持って積層することができる。尚、ハンダボール7とボールパッド8を接合する過熱処理の方法はリフロー処理に限定されるものではなく、ブロックヒーター法、レーザ法、或いはホットエアー法等を用いることもできる。

【0142】続いて、半導体装置40A、40Bを積層する他の積層方法について説明する。

【0143】図48は、本実施例において半導体装置40を積層する際に用いる半導体装置の積層装置を示している。尚、図48において、先に説明した図34に示した構成と同一構成については、同一符号を付してその説明を省略する。

【0144】本実施例の積層方法に用いる積層装置は、大略するとパッケージ供給テーブル41、スタックヘッド42、フラック供給部43B、及びカメラユニット45等により構成されている。よって、転写ヘッド44Aを必要とした図34に示した積層装置に比べ、構成が簡素化されている。

(15)

27

【0145】パッケージ供給テーブル41は、図34に示したものと同一構成である。しかしながら、本実施例では各半導体装置40は、ハンダボール7が下面となるようパッケージ供給テーブル41上に載置されている。前記したように、製造された半導体装置40は、ハンダボール7を下側にして搬送用トレイに収納される。

【0146】よって、本実施例の場合には、搬送用トレイから取り出された半導体装置40をそのままの姿勢でパッケージ供給テーブル41に載置することができるため、搬送用トレイから供給テーブル41へ半導体装置40を移し替える処理を容易に行なうことができる。また、スタックヘッド42がパッケージ供給テーブル41上の半導体装置40を吸着した際、半導体装置40Bはハンダボール7が下部に位置した状態となる。

【0147】本実施例で用いているフラックス供給部43Bは、半導体装置40Bのハンダボール7に直接フラックス50を塗布する構成とされている。このフラックス供給部43Bは円柱形状とされており、その上面にはフラックス装填溝58が形成されている。フラックス装填溝58は、平面視した状態で矩形棒状の形状を有している。また、このフラックス装填溝58は半導体装置40Bの配設位置に対応するよう構成されており、後述するようにハンダボール7にフラックス50を転写する際、ハンダボール7はフラックス装填溝58内に挿入される。

【0148】本実施例では、フラックス50はフラックス装填溝58内にのみ配設されている。フラックス50をフラックス装填溝58内に装填するには、フラックス50をフラックス供給部43Aの上面に配設した後、図50に示すようにスキージ48を用いてフラックス装填溝58内に挿入する。尚、フラックス50の厚さは、フラックス装填溝58の深さを調整することにより、任意の厚さに設定することができる。

【0149】次に、上記構成とされた積層装置を用いて行なわれる半導体装置40A、40Bの積層方法について説明する。

【0150】半導体装置40A、40Bを積層するには、まず最下部に位置する半導体装置40Aをキャリアステージ46Bに装着する。図49は、半導体装置40Aをキャリアステージ46Bに装着した状態を示している。同図に示されるように、キャリアステージ46Aには半導体装置40Aを位置決めするための装着溝49Bが形成されている。スタックヘッド42は、半導体装置40Aをパッケージ供給テーブル41から搬送し、キャリアステージ46Bの装着溝49B内に装着する。

【0151】前記したように、パッケージ供給テーブル41にはハンダボール7が下部に位置するよう各半導体装置40が載置されている。また、スタックヘッド42は、半導体装置40のインターポーザ1を吸着することにより搬送処理を行なう。よって、キャリアステージ4

28

6Bに装着された状態において、半導体装置40Aはハンダボール7が下部に位置する姿勢となっている。

【0152】この半導体装置40Aの搬送処理の後（搬送処理と同時に進行することも可能である）、前記したようにスキージ48を用いてフラックス供給部43Bに対しフラックス50を装填する処理が実施される（図50参照）。フラックス供給部43Bに対しフラックス50を装填する処理が終了すると、スタックヘッド42が再びパッケージ供給テーブル41上に移動すると共に下動し、図51に示すように、半導体装置40A上に積層する半導体装置40Bを吸着する。

【0153】スタッドヘッド42は、半導体装置40Bをフラックス供給部43B上のフラックス装填溝58の上部まで搬送し、続いて下動する。半導体装置40Bは、スタッドヘッド42に搬送される際にハンダボール7が下部に位置する姿勢となっている。よって、スタッドヘッド42が下動することにより、図52に示すように、ハンダボール7はフラックス装填溝58内のフラックス50に浸漬される。これにより、ハンダボール7にはフラックス50が転写される。

【0154】この際、フラックス50はハンダボール7にのみ転写され、封止樹脂2等の半導体装置40Aを構成する他の部分には付着されない。即ち、フラックス供給部43Bはフラックス装填溝58にのみフラックス50が装填された構成となっており、またフラックス装填溝58はハンダボール7の配設位置に対応した構成となっている。更に、フラックス装填溝58にフラックス50を装填する際、フラックス供給部43Bのフラックス装填溝58以外の部分にはフラックス50が付着しないよう構成している。

【0155】これにより、半導体装置40Bのハンダボール7をフラックス装填溝58内のフラックス50に浸漬させた際、フラックス50はハンダボール7にのみ転写される。よって、本実施例によっても、隣接するハンダボール間及び隣接するボールパッド間で短絡することを防止でき、積層後における信頼性の向上を図ることができる。

【0156】上記のようにハンダボール7上にフラックス50を転写する処理が終了すると、スタックヘッド42は半導体装置40Bをキャリアステージ46Bの上部（具体的には、半導体装置40Aと対向する位置）まで搬送する。これと共に、カメラユニット45もキャリアステージ46の上部に移動する。これにより、図53に示すように、カメラユニット45を中間に挟んで、下部に半導体装置40Aが位置し、上部に半導体装置40Bが位置する構成となる。そして、カメラユニット45に配設された上カメラ51により半導体装置40Bのボールパッド8の位置認識を行ない、下部カメラ52により半導体装置40Aのハンダボール7の位置認識を行ない、これにより各半導体装置40A、40Bの位置認識が行

(16)

29

なわれる。

【0157】上記のようにして各半導体装置40A、40Bの位置認識処理が行なわれると、続いてこの認識結果に基づきスタックヘッド42は、図54に示されるように、半導体装置40Bのボールパッド8と半導体装置40Aのハンダボール7の位置が一致するよう半導体装置40Aの上に半導体装置40Bを積層する。

【0158】これにより、図55に示されるように、半導体装置40A、40Bは積層された状態となる。この際、上記のようにフラックス50はハンダボール7の上部にのみ転写された構成であるため、上部に位置する半導体装置40Bの封止樹脂2と、下部に位置する半導体装置40Aのインターポーザ1との間にフラックス50が存在することはない。

【0159】図55に示す状態は、半導体装置40Aと半導体装置40Bが、フラックス50で仮止めされた構成である。このため、半導体装置40A、40Bが積層された状態で、キャリアステージ46Bをリフロー炉に入れ、ハンダボール7をボールパッド8にハンダ接合する。これにより、各半導体装置40A、40Bは固定され、完全に積層された構成となる。

【0160】尚、本実施例においても、3個以上の半導体装置40を積層する場合には、上記した処理を繰り返し実施すればよく、これにより任意数の積層構造を実現することができる。

【0161】

【発明の効果】以上説明したように、請求項1記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔が設けられ、電極パッドの裏側面（突起電極と反対側の面）が貫通孔内で露出する。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を下側の半導体装置の貫通孔内の電極パッドに接続することができる。このとき、上側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に収容される。

【0162】したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0163】請求項2記載の発明によれば、突起電極が設けられた電極パッドの裏側のインターポーザに貫通孔が設けられ、電極パッドの裏側面が貫通孔内で露出し、この面に突起電極が設けられる。また、突起電極の高さが半導体素子の封止高さより高いので、同じ構造の半導体装置を積層する場合、上側の半導体装置の突起電極を

30

下側の半導体装置の電極パッドに接続することができる。このとき、下側の半導体装置の半導体素子が封止された部分は、突起電極により上側の半導体装置の再配線基板と下側の半導体装置の再配線基板との間に形成された空間に収容される。

【0164】したがって、突起電極のみで各半導体装置の接続と、各半導体装置間の距離を規定することができる。また、再配線基板は半導体素子の搭載面を有しており、この搭載面に配線パターンを形成することにより、再配線基板上で電極パッドを自由に配置することができる。

【0165】請求項3記載の発明によれば、請求項1又は2記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0166】請求項4記載の発明によれば、再配線基板の両面に半導体素子が実装され、かつ再配線基板の両面に設けられた電極パッドの一方のみに突起電極が設けられる。再配線基板の両面の電極パッドはVIAホールにより電気的に接続される。したがって、突起電極が設けられていない側の半導体素子の封止高より高い突起電極を有する半導体装置を、突起電極が設けられていない側から積層することができ、簡単な構成で半導体装置の積層構造を実現できる。

【0167】請求項5記載の発明によれば、請求項4記載の半導体装置において、突起電極が再配線基板の両側の半導体素子の封止高さの総和より高いため、同じ構成の半導体装置同士を積層することができる。

【0168】請求項6記載の発明によれば、請求項4又は5記載の半導体装置の半導体素子にさらに他の半導体素子を積層固定し一体的に封止するため、積層構造の半導体装置をさらに積層することができ、同じ体積内により多くの半導体装置を実装することができる。

【0169】請求項7記載の発明によれば、請求項4又は5記載の半導体装置において、再配線基板の両側の半導体素子はワイヤボンディングにより電極パッドに接続される。そして、片側の電極パッド上でのワイヤの接続位置は、反対側の電極パッド上でのワイヤの接続位置からずれている。

【0170】両側の半導体素子のボンディング位置が同じ場合は、片側の半導体素子のワイヤボンディングを行った後、反対側の半導体装置のワイヤボンディングを行なう場合、ボンディング位置の下にはすでにワイヤが張られているので、ボンディング位置を下側から支持することはできない。

【0171】しかし、本発明による半導体装置では、片側の半導体素子のワイヤボンディングを行った後、反対側の半導体素子のワイヤボンディングを行なう場合、反

(17)

31

対側のボンディング位置のずれを利用してボンディングされる部分の下側からボンディング位置を支持することができ、確実なワイヤボンディングを行なうことができる。

【0172】請求項8記載の発明によれば、請求項1乃至7に記載された半導体装置を複数個積層して接続した積層構造を有する半導体装置において、積層構造中の上側の半導体装置の電極数と下側の半導体装置の電極数が異なる構成とするため、サイズの異なる半導体素子を有する半導体装置同士でも積層することができる。

【0173】請求項9記載の発明によれば、再配線基板の両面に半導体装置を搭載する際に、片側の半導体素子を搭載した後に反対側の半導体素子を下側から支持しながら搭載することができるため、両側の半導体装置を確実に再配線基板に搭載することができる。

【0174】請求項10及び11記載の発明によれば、突起電極にのみフラックスを設けることができたため、フラックス塗布後に突起電極と電極パッドを接合するために実施されるリフロー処理時に隣接する突起電極及び電極パッドが短絡することを防止することができる。

【図面の簡単な説明】

【図1】従来のワイヤボンディングによるファンアウト型の半導体装置の断面図である。

【図2】従来のフリップチップ実装による半導体装置の断面図である。

【図3】本発明の第1実施例による半導体装置の一例の断面図である。

【図4】本発明の第1実施例による半導体装置の変形例の断面図である。

【図5】本発明の第1実施例による半導体装置のインターポーザの平面図である。

【図6】図3に示した半導体装置を積層した構造を示す断面図である。

【図7】図4に示した半導体装置を積層した構造を示す断面図である。

【図8】図4に示した半導体装置の変形例を示す断面図である。

【図9】図4に示した半導体装置の積層構造の一例を示す断面図である。

【図10】図4に示した半導体装置の変形例を示す断面図である。

【図11】ボールパッドの変形例を示す断面図である。

【図12】本発明の第2実施例による半導体装置の一例の断面図である。

【図13】本発明の第2実施例による半導体装置の変形例の断面図である。

【図14】図12に示す半導体装置を積層した構造の断面図である。

【図15】図13に示した半導体装置を積層した構造の断面図である。

32

【図16】本発明の第3実施例による半導体装置の一例の断面図である。

【図17】本発明の第3実施例による半導体装置の変形例の断面図である。

【図18】本発明の第4実施例による半導体装置の断面図である。

【図19】本発明の第5実施例による半導体装置の一例の断面図である。

【図20】本発明の第5実施例による半導体装置の変形例の断面図である。

【図21】図19及び図20に示した半導体装置の変形例を積層した構造を示す模式図である。

【図22】本発明の第5実施例による半導体装置のチップ搭載工程を示す模式図である。

【図23】本発明の第5実施例による半導体装置のワイヤボンディング工程を示す模式図である。

【図24】本発明の第5実施例による半導体装置のワイヤボンディング工程を示す模式図である。

【図25】本発明の第5実施例による半導体装置の樹脂封止工程を示す模式図である。

【図26】本発明の第5実施例による半導体装置の樹脂封止工程を示す模式図である。

【図27】個々の半導体装置を切り出す工程を示す模式図である。

【図28】本発明の第5実施例による半導体装置を基板に搭載した状態を示す模式図である。

【図29】レジストによりインターポーザを補強する例を示す模式図である。

【図30】レジストにより半導体装置の位置決めを行なう例を示す模式図である。

【図31】本発明実施例による半導体装置を組み合わせた積層構造を説明するための図である。

【図32】本発明実施例による半導体装置を組み合わせた積層構造を説明するための図である。

【図33】本発明実施例による半導体装置を組み合わせた積層構造を説明するための図である。

【図34】本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図である。

【図35】キャリアステージに装着された半導体装置を示す図である。

【図36】転写ヘッドにフラックスを塗布する方法を説明するための図である。

【図37】転写ヘッドを用いてハンダボールにフラックスを転写する方法を説明するための図である。

【図38】転写ヘッドの詳細を説明するための斜視図である。

【図39】各種転写ヘッドの構造を説明するための図である。

【図40】ハンダボールにフラックスが配設された状態を示す図である。

(18)

33

【図41】スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図である。

【図42】カメラユニットを用いて各半導体装置の位置認識処理を行なっている状態を示す図である。

【図43】半導体装置を積層している状態を示す図である。

【図44】積層された半導体装置を示す図である。

【図45】転写ヘッドによりハンダボールの整形を行なう方法を説明するための図である。

【図46】位置決め治具を用いて積層された半導体装置の位置精度を向上させる方法を説明するための図である。

【図47】位置決め治具をクリップ部材で固定した状態でリフロー処理を行なう方法を説明するための図である。

【図48】本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図である。

【図49】キャリアステージに装着された半導体装置を示す図である。

【図50】フラックス供給部のフラックス装填部にフラックスを装填する方法を説明するための図である。

【図51】スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図である。

【図52】半導体装置のハンダボールにフラックスを配設する方法を説明するための図である。

【図53】カメラユニットを用いて各半導体装置の位置認識処理を行なっている状態を示す図である。

【図54】半導体装置を積層している状態を示す図である。

【図55】積層された半導体装置を示す図である。

【符号の説明】

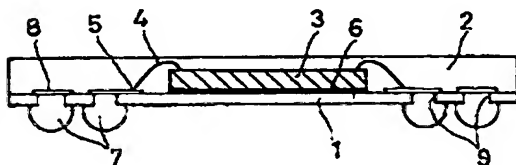
- 1, 1A, 21 インターポーザ
2 封止樹脂
3, 3A, 3-1, 3-2 半導体チップ
4 Auワイヤ

34

- 5 ボンディングパッド
6 DB材
7, 7A, 7B, 7C ハンダボール
8, 8B ボールパッド
9 スルーホール
10 ソルダーレジスト
10A, 10B レジスト
11 アンダーフィル材
12 突起電極
21a 開口
22 V I Aホール
24 UVテープ
13, 39 緩衝材
30 治具
31 緩衝部材
32 押圧部材
33A, 33B モールド金型
34 ランナー
35A, 35B ゲート
36 撓み防止ピン
37 UVテープ
38 基板
40 半導体装置
41 パッケージ供給テーブル
42 スタックヘッド
43A, 43B フラックス供給部
44A~44E 転写ヘッド
45 カメラユニット
46A, 46B キャリアステージ
50 フラックス
54A~54C フラックス塗布部
55 位置決め治具
57 クリップ部材
58 フラックス装填溝

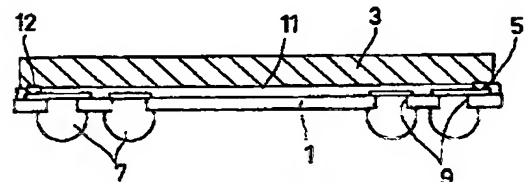
【図1】

従来のワイヤボンディングによるファンアウト型の半導体装置の断面図



【図2】

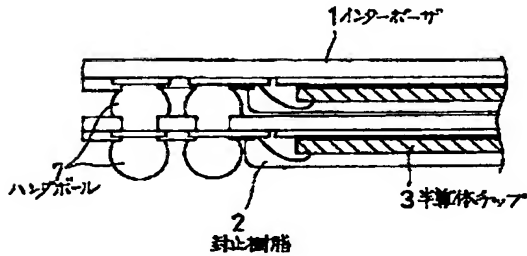
従来のフリップチップ実装による半導体装置の断面図



(20)

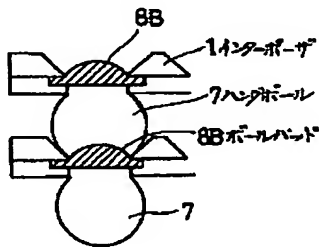
【図9】

図4に示した半導体装置の横断構造の一例を示す断面図



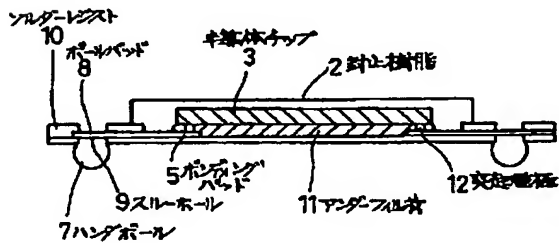
【図11】

ボールパッドの変形例を示す断面図



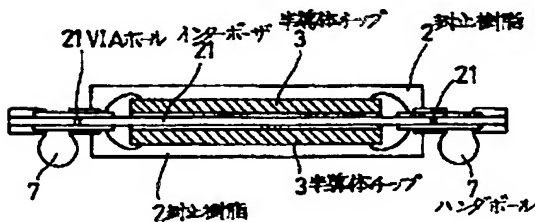
【図13】

本発明の第2の実施の形態による半導体装置の他の例の断面図



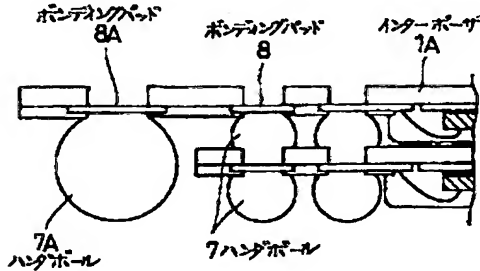
【図20】

本発明の第5の実施の形態による半導体装置の他の例の断面図



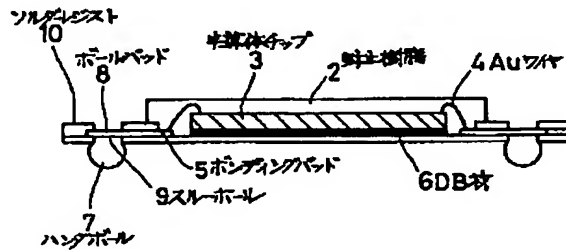
【図10】

図4に示した半導体装置の変形例を示す断面図



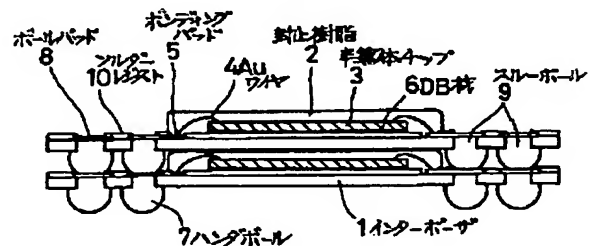
【図12】

本発明の第2の実施の形態による半導体装置の他の例の断面図



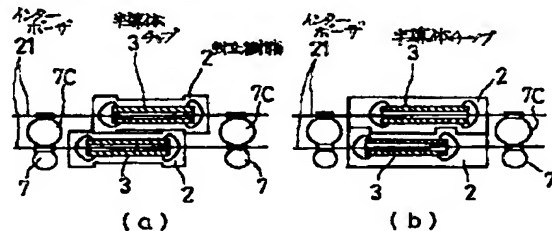
【図14】

図12に示す半導体装置を積層した構造の断面図



【図21】

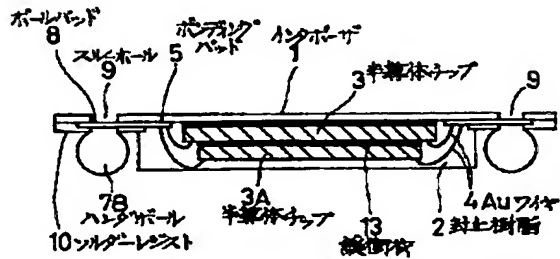
図19及び図20に示した半導体装置の変形例を積層した構造を示す模式図



(21)

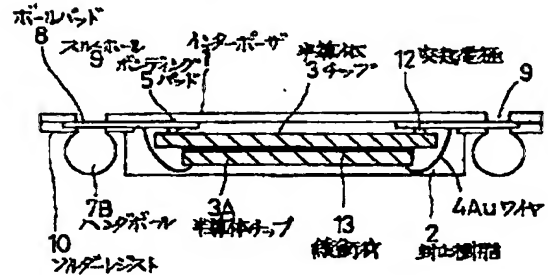
【圖 16】

本発明の第3実施の形態による半導体装置の一例の断面図



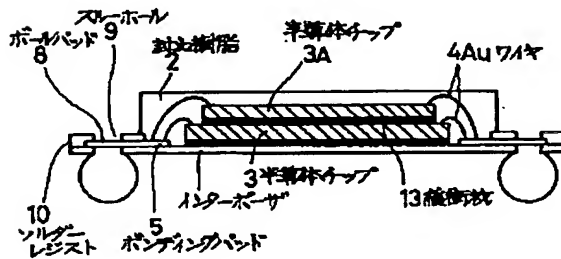
【图 17】

本発明の第3の実施の形態による半導体装置の他の例の断面図



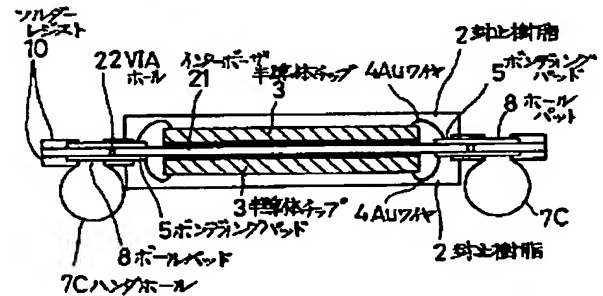
【图 18】

本発明の第4の実施の形態による半導体装置の
断面図



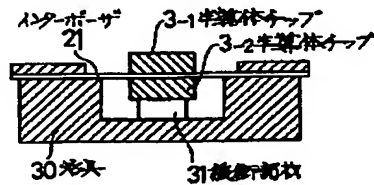
【図 19】

本発明の第5の実施の形態による半導体装置の一例の断面図



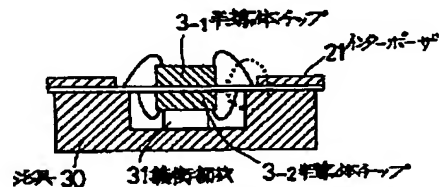
【图 22】

本発明の第5の実施の形態による半導体装置の
チップ搭載工程を示す模式図



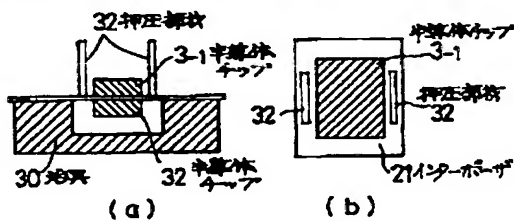
【图 23】

本発明の第5の実施の形態による半導体装置のワイヤボンディング工程を示す模式図



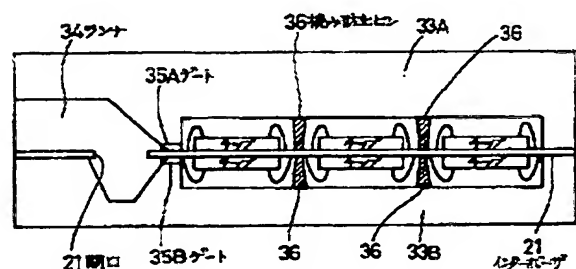
【图 24】

本発明の第5の実施の形態による半導体装置のワイヤボンディング工程を示す模式図



【図 25】

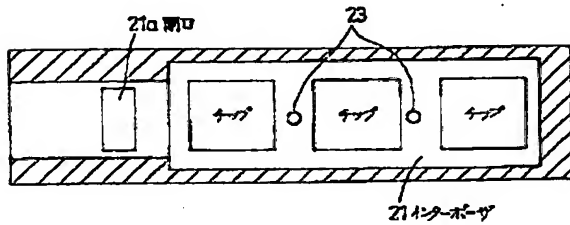
本発明の第5の実施の形態による半導体装置の構造
封止工程を示す模式図



(22)

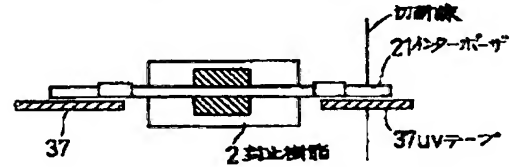
【図26】

本発明の第5の実施の形態による半導体装置の樹脂封止工程を示す模式図



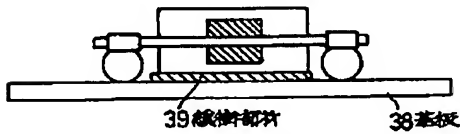
【図27】

個々の半導体装置を切り出す工程を示す模式図



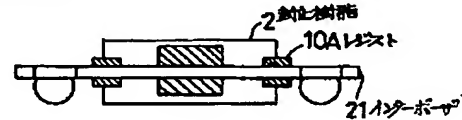
【図28】

本発明の第5の実施の形態による半導体装置を基板に搭載した状態を示す模式図



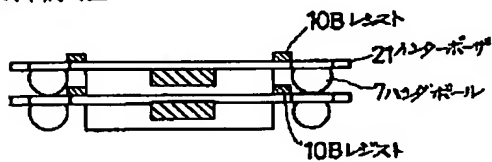
【図29】

レジストによりインターポーザを補強する例を示す模式図



【図30】

レジストにより半導体装置の位置決めを行う例を示す模式図



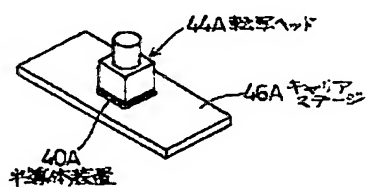
【図31】

本発明の実施の形態による半導体装置を組み合わせた積層構造を説明するための図

		インターポーザ	外部端子		ワイヤ方式		チップ	
			ボム	UGA	ワイヤブリッジ	TAB	両チップ	異チップ
2チップ		2枚	○	X	○	○	○	○
		2	○	○	○	○	○	○
		1	○	X	○	○	○	○
		1	○	X	○	○	○	○
		1	○	○	○	○	○	○

【図37】








転写ヘッドを用いてハンダボールにフラックスを転写する方法を説明するための図



(23)

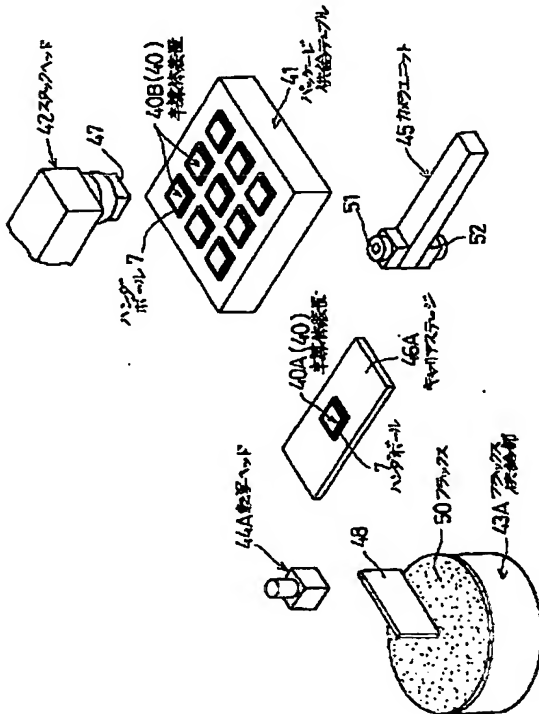
【図32】

本発明の実施の形態による半導体装置を組み合わせた積層構造を説明するための図

		インター ポザ	外部端子 ボール	LGA	ワイヤ方式			チップ	
					ワイヤ	クリップ	TAB	同チップ	異チップ
3チップ		3枚	○	X	○	○	○	○	○
		3	○	○	○	○	○	○	○
		2	○	X	○	○	○	○	○
		1	○	X	○	X	○	○	○
		1	○	X	○	X	○	○	○
		1	○	○	○	X	○	X	○
		1	○	X	○	X	○	X	○



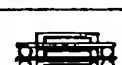
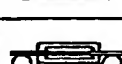
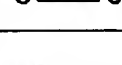
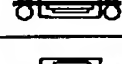
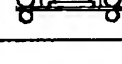
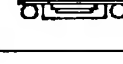

【図34】

本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図



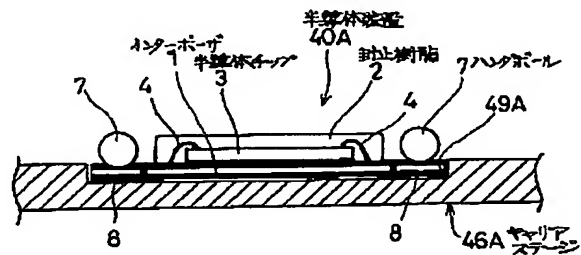
【図33】

本発明の実施の形態による半導体装置を組み合わせた積層構造を説明するための図

		インター ポザ	外部端子 ボール	LGA	ワイヤ	クリップ	TAB	チップ	
								同チップ	異チップ
4チップ		4枚	○	X	○	○	○	○	○
		4	○	○	○	○	○	○	○
		3	○	X	○	○	○	○	○
		2	○	X	○	○	○	○	○
		2	○	X	○	○	○	○	○
		2	○	X	○	○	○	○	○
		2	○	○	○	○	○	○	○
		1	○	X	○	○	○	○	○
		1	○	X	○	○	○	○	○

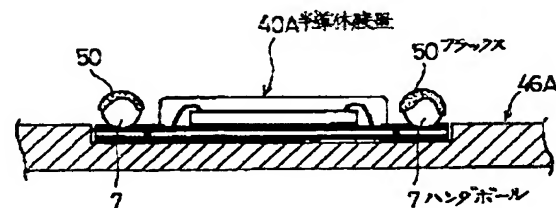
【図35】

キャリアステージに装着された半導体装置を示す図



【図40】

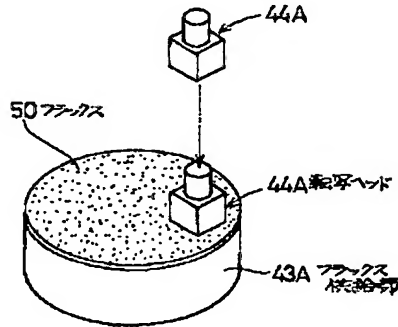
ハンドボールにフラックスが配設された状態を示す図



(24)

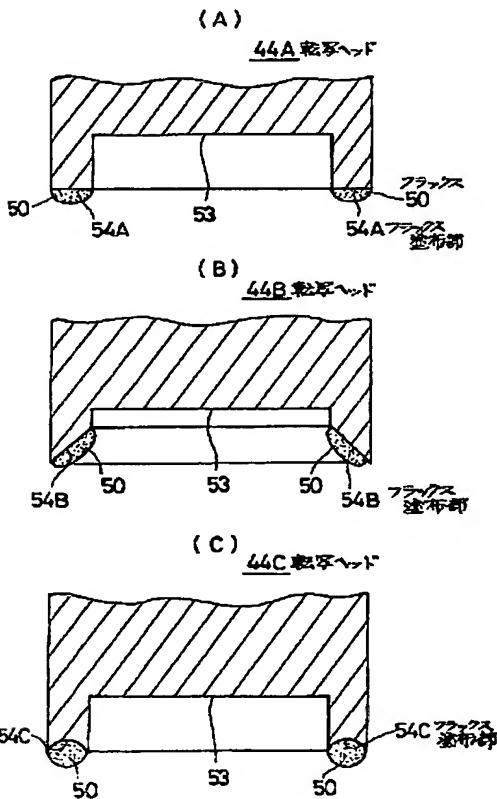
【図36】

転写ヘッドにフラックスを塗布する方法を説明するための図



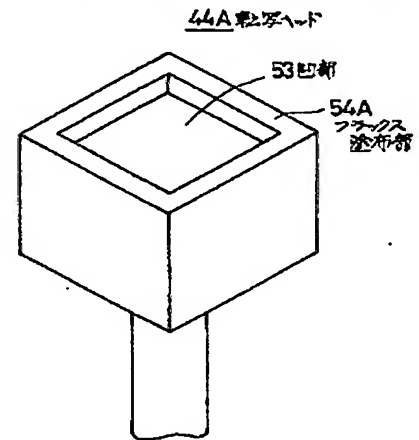
【図39】

各種転写ヘッドの構造を説明するための図



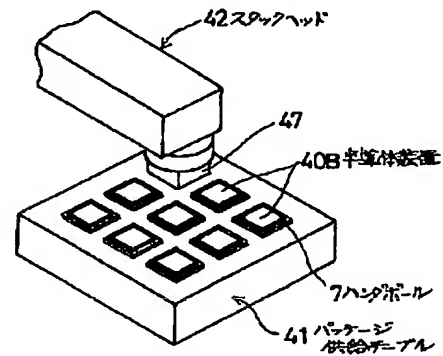
【図38】

転写ヘッドの詳細を説明するための斜視図



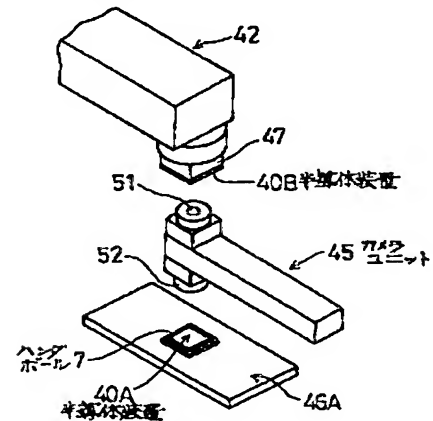
【図41】

スタンプヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図



【図42】

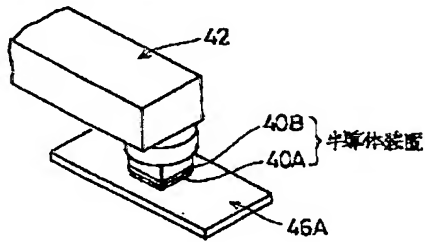
カメラユニットを用いて半導体装置の位置認識処理を行っている状態を示す図



(25)

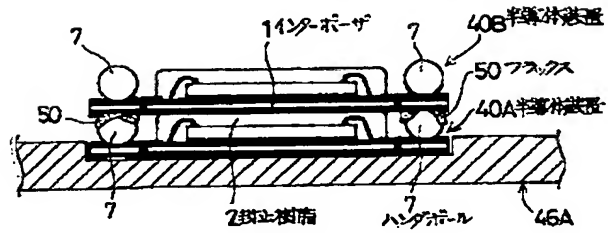
【図43】

半導体装置を積層している状態を示す図



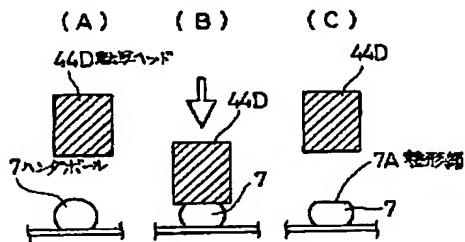
【図44】

積層された半導体装置を示す図



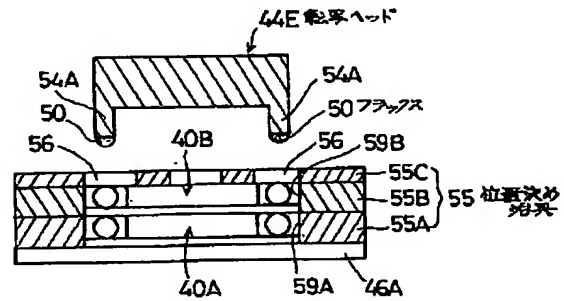
【図45】

転写ヘッドによりハンダボールの整形を行なう方法を説明するための図



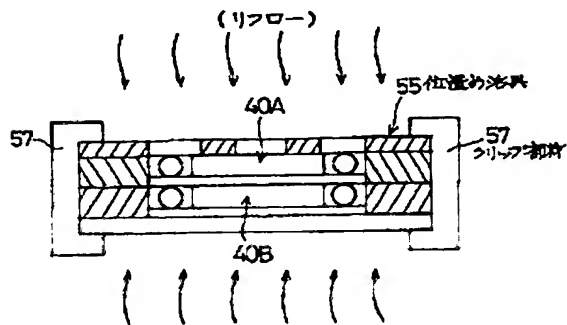
【図46】

位置決め治具を用いて積層された半導体装置の位置精度を向上させる方法を説明するための図



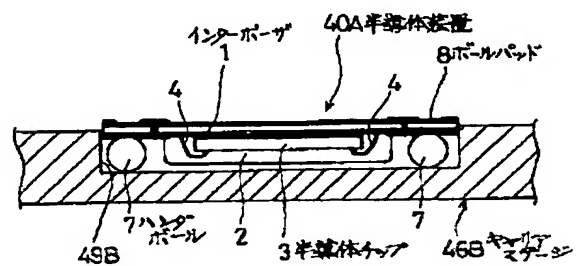
【図47】

位置決め治具をクリップ部材で固定した状態でリフロー処理を行なう方法を説明するための図



【図49】

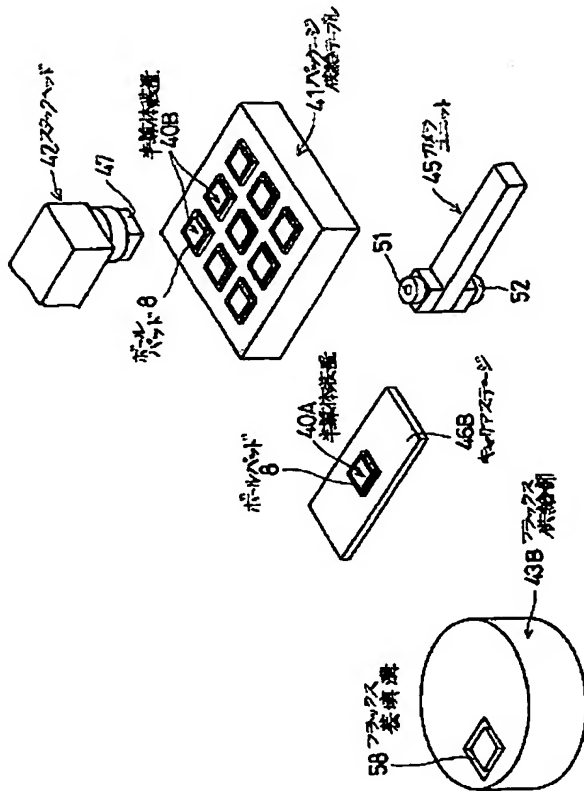
キャリアステージに装着された半導体装置を示す図



(26)

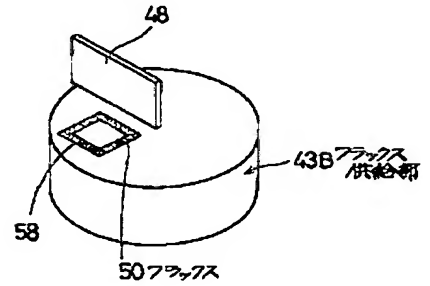
【図48】

本発明実施例による半導体装置の積層方法に用いる積層装置を示す要部構成図



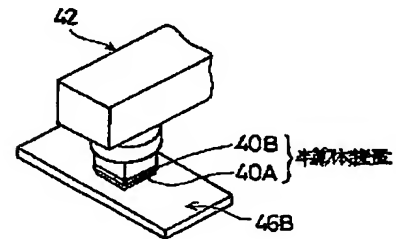
【図50】

フラックス供給部のフラックス受取部にフラックスを充填する方法を説明するための図



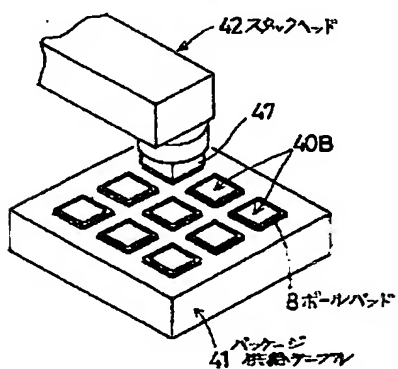
【図54】

半導体装置を積層している状態を示す図



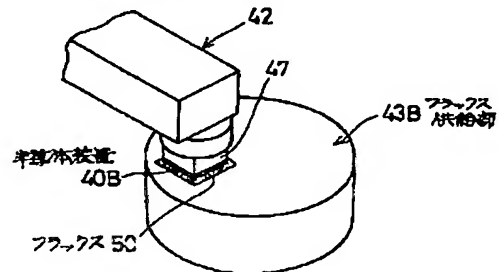
【図51】

スタックヘッドによりパッケージ供給テーブル上の半導体装置を吸着する状態を示す図



【図52】

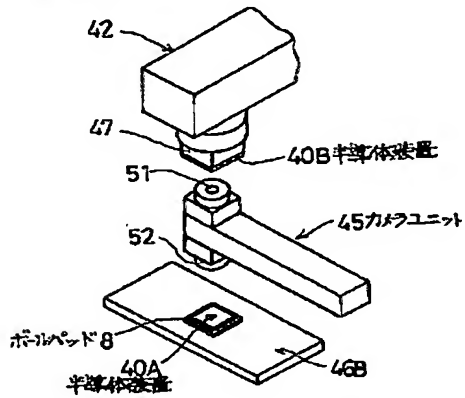
半導体装置のハンドボールにフラックスを配設する方法を説明するための図



(27)

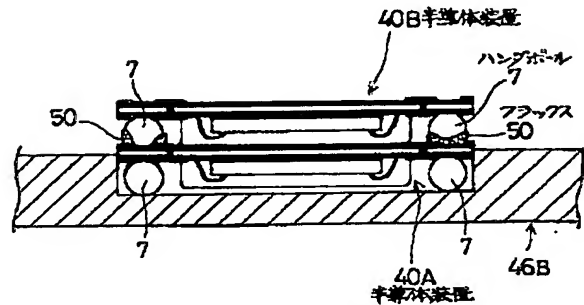
【図53】

カメラユニットを用いて各半導体装置の位置認識処理を行なっている状態を示す図



【図55】

積層された半導体装置を示す図



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 25/18
25/10
25/11

識別記号

F I

H 0 1 L 25/14

テーマコード* (参考)

Z

(72) 発明者 宇野 正
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 安藤 史彦
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 高島 晃
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 小野寺 浩
宮城県柴田郡村田町大字村田字西ケ丘1番
地の1 株式会社富士通宮城エレクトロニ
クス内
(72) 発明者 吉田 英治
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 手代木 和雄
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
F ターム (参考) 4M109 AA01 BA03 CA21 DA01